

(11)特許出願公開番号

特開2001-184881

(P2001-184881A)

(43)公開日 平成13年7月6日(2001.7.6)

(51) Int.Cl.⁷
G 1 1 C 16/06

識別記号

F I
G 1 1 C 17/00

テ-ア-ト* (参考)

634C 5B025

審査請求 未請求 請求項の数28 O.L (全 27 頁)

(21)出願番号 特願平11-373069

(22)出願日 平成11年12月28日(1999.12.28)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 池橋 民雄

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

(72) 發明者 今宮 賢一

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

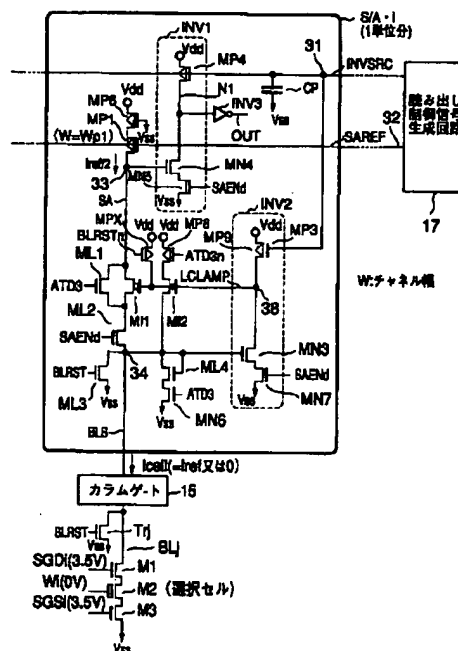
最終頁に続く

(54) 【発明の名称】 不揮発性半導体メモリの読み出し回路

(57) 【要約】

【課題】 高速かつ低消費電力の読み出し動作を実現する。

【解決手段】 INVSRCノード31及びSAREFノード32は、予め充電されている。ビット線BLjの電位がリセットされた後、ビット線BLj（BLSノード34）のプリチャージが行われる。この時、MOSTランジスタMI1、MI2は、オン状態であり、SAノード33も、同時に、プリチャージされる。プリチャージレベルは、インバータINV1の閾値電圧Vsenseよりも低い値に設定される。この後、SAENが“H”になると、センス動作が行われる。“0”読み出しのときは、SAノード33は、Vddに、急速に上昇する。“1”読み出しのときは、SAノード33は、緩やかにVssに近づく。SAノード33の電位変化は、インバータINV1により検知される。



【特許請求の範囲】

【請求項1】 少なくとも一つのセンスアンプと、第一の信号を前記少なくとも一つのセンスアンプに供給する読み出し制御信号生成回路とを具備し、

前記少なくとも一つのセンスアンプは、ソースが第一の電源ノードに電気的に接続され、ゲートに前記第一の信号が入力される第一のPチャネルMOSトランジスタと、前記第一のPチャネルMOSトランジスタのドレインとメモリセルとの間に接続され、ゲートに第二の信号が入力されるクランプ用の第一のNチャネルMOSトランジスタとから構成される第一の電流経路を有し、

前記読み出し制御信号生成回路は、ゲート及びドレインが前記第一のPチャネルMOSトランジスタのゲートに接続され、ソースが前記第一の電源ノードに電気的に接続される第二のPチャネルMOSトランジスタと、前記第二のPチャネルMOSトランジスタのドレインとレファレンスセルとの間に接続され、ゲートに第三の信号が入力される第二のNチャネルMOSトランジスタとから構成される第二の電流経路を有することを特徴とする不揮発性半導体メモリの読み出し回路。

【請求項2】 少なくとも一つのセンスアンプと、第一の信号を前記少なくとも一つのセンスアンプに供給する読み出し制御信号生成回路とを具備し、

前記少なくとも一つのセンスアンプは、ソースが第一の電源ノードに電気的に接続され、ゲートに前記第一の信号が入力される第一のPチャネルMOSトランジスタと、前記第一のPチャネルMOSトランジスタのドレインとメモリセルとの間に接続され、ゲートに第二の信号が入力されるクランプ用の第一のNチャネルMOSトランジスタとから構成される第一の電流経路を有し、

前記読み出し制御信号生成回路は、ゲート及びドレインが前記第一のPチャネルMOSトランジスタのゲートに接続され、ソースが前記第一の電源ノードに電気的に接続される第二のPチャネルMOSトランジスタと、前記第二のPチャネルMOSトランジスタのドレインとレファレンスセルとの間に接続され、ゲートに前記第二の信号が入力される第二のNチャネルMOSトランジスタとから構成される第二の電流経路を有することを特徴とする不揮発性半導体メモリの読み出し回路。

【請求項3】 前記メモリセルのコントロールゲート電圧 V_{cg} と閾値電圧 V_{tcell} との差($V_{cg} - V_{tcell}$)が負のときを書き込み状態、正のときを消去状態とする場合、前記メモリセルが消去状態にあるときに、前記第一のPチャネルMOSトランジスタのドレイン電流が前記メモリセルのセル電流よりも小さくなるように、前記第一及び第二のPチャネルMOSトランジスタのサイズ並びに前記レファレンスセルのセル電流の値が決定されることを特徴とする請求項1又は2に記載の不揮発性半導体メモリの読み出し回路。

【請求項4】 前記レファレンスセルのセル電流の値

は、前記メモリセルが消去状態にある場合における前記メモリセルのセル電流の値に等しく、かつ、前記第一のPチャネルMOSトランジスタのドレイン電流の値が前記レファレンスセルのセル電流の値の $1/2$ となるように、前記第一及び第二のPチャネルMOSトランジスタのサイズの比が設定されていることを特徴とする請求項3に記載の不揮発性半導体メモリの読み出し回路。

【請求項5】 前記少なくとも一つのセンスアンプの数を N (N は、自然数) 個とした場合、前記第一のPチャネルMOSトランジスタの数は、 N 個であり、かつ、前記レファレンスセルは、互いに並列に接続された M 個のセルから構成され、 $M > N/4$ を満たすことを特徴とする請求項1又は2に記載の不揮発性半導体メモリの読み出し回路。

【請求項6】 前記レファレンスセルは、前記メモリセルのコントロールゲート電極とフローティングゲート電極をショートすることにより得られる構造と同一の構造を有していることを特徴とする請求項1又は2に記載の不揮発性半導体メモリの読み出し回路。

【請求項7】 前記レファレンスセルのコントロールゲート電極に与える電位は、前記レファレンスセルのセル電流が、消去状態にある前記メモリセルのセル電流に実質的に等しくなるような値に設定されることを特徴とする請求項6に記載の不揮発性半導体メモリの読み出し回路。

【請求項8】 テスト動作時において、負の閾値電圧を有する前記メモリセルの閾値電圧をモニタする場合に、前記メモリセルのコントロールゲート電極の電位を通常の読み出し動作時の値に固定し、前記レファレンスセルのコントロールゲート電極の電位を変化させることにより、前記メモリセルの閾値電圧を検出し、正の閾値電圧を有する前記メモリセルの閾値電圧をモニタする場合に、前記レファレンスセルのコントロールゲート電極の電位を通常の読み出し動作時の値に固定し、前記メモリセルのコントロールゲート電極の電位を変化させることにより、前記メモリセルの閾値電圧を検出することを特徴とする請求項1又は2に記載の不揮発性半導体メモリの読み出し回路。

【請求項9】 少なくとも一つのセンスアンプと、第一の信号を前記少なくとも一つのセンスアンプに供給する読み出し制御信号生成回路とを具備し、

前記少なくとも一つのセンスアンプは、ソースが第一の電源ノードに電気的に接続される第一のPチャネルMOSトランジスタと、前記第一のPチャネルMOSトランジスタのドレインとメモリセルとの間に接続され、ゲートに第二の信号が入力されるクランプ用の第一のNチャネルMOSトランジスタと、

ゲートに前記第一の信号が入力され、ソースが前記第一の電源ノードに電気的に接続され、ドレインが前記第一

のNチャンネルMOSトランジスタのゲートに接続される第二のPチャンネルMOSトランジスタと、ゲートが前記第一のNチャンネルMOSトランジスタと前記メモリセルの間の第一の接続ノードに接続され、ソースが第二の電源ノードに接続され、ドレインが前記第一のNチャンネルMOSトランジスタのゲートに接続される第二のNチャンネルMOSトランジスタとから構成される第一のインバータと、

ゲートが前記第一のNチャンネルMOSトランジスタのゲートに接続され、ドレインがスイッチトランジスタを介して前記第一の電源ノードに接続され、ソースが前記第一の接続ノードに接続される第三のNチャンネルMOSトランジスタとを有し、

読み出し動作時において、ビット線のプリチャージは、前記第三のNチャンネルMOSトランジスタから前記第一の接続ノードに電荷を供給することにより行われることを特徴とする不揮発性半導体メモリの読み出し回路。

【請求項10】 前記第一の接続ノードと前記第二の電源ノードの間に、ゲートとドレインが互いに接続される第四のNチャンネルMOSトランジスタが接続されることを特徴とする請求項9に記載の不揮発性半導体メモリの読み出し回路。

【請求項11】 前記読み出し制御信号生成回路は、第一の中間電位生成回路を有し、前記第一の中間電位生成回路は、

ゲートとドレインが互いに接続され、ソースが前記第一の電源ノードに接続される第三のPチャンネルMOSトランジスタと、ゲートに第三の信号が入力され、ソースが前記第二の電源ノードに接続され、ドレインが前記第三のPチャンネルMOSトランジスタのドレインに接続される第五のNチャンネルMOSトランジスタとから構成され、

前記第一の信号は、前記第三のPチャンネルMOSトランジスタのドレインから出力されることを特徴とする請求項10に記載の不揮発性半導体メモリの読み出し回路。

【請求項12】 前記第二及び第三のPチャンネルMOSトランジスタのサイズは、互いに等しく、かつ、前記第二及び第五のNチャンネルMOSトランジスタのサイズは、互いに等しいことを特徴とする請求項11に記載の不揮発性半導体メモリの読み出し回路。

【請求項13】 前記第三の信号は、第二の中間電位生成回路により生成され、前記第二の中間電位生成回路は、

定電流を生成する定電流源と、ゲートとドレインが前記定電流源に接続される第六のNチャンネルMOSトランジスタと、ゲートとドレインが前記第六のNチャンネルMOSトランジスタのソースに接続され、ソースが前記第二の電源ノードに接続される第七のNチャンネルMOSトランジスタとから構成され、

前記第三の信号は、前記第七のNチャンネルMOSトラン

ジスタのドレインから出力されることを特徴とする請求項11に記載の不揮発性半導体メモリの読み出し回路。

【請求項14】 差動増幅器と、互いにサイズが等しく、ゲートに前記差動増幅器の出力信号が入力され、ソースが第一の電源ノードに接続される第一及び第二のPチャンネルMOSトランジスタと、前記第一のPチャンネルMOSトランジスタのドレインと第二の電源ノードの間に接続される抵抗素子とを具備し、前記差動増幅器の第一の入力端子に基準電位が入力され、第二の入力端子が前記第一のPチャンネルMOSトランジスタのドレインに接続され、前記第二のPチャンネルMOSトランジスタのドレインから定電流が出力されることを特徴とする定電流源。

【請求項15】 請求項13に記載の読み出し回路において、前記定電流源として、請求項14に記載の定電流源を使用し、かつ、前記基準電位は、温度に依存しない値を有し、前記抵抗素子は、高温になるほど、抵抗値が小さくなる性質を有することを特徴とする不揮発性半導体メモリの読み出し回路。

【請求項16】 請求項1又は2に記載の不揮発性半導体メモリの読み出し回路において、前記少なくとも一つのセンスアンプは、センス回路として機能するインバータを有し、前記インバータは、ゲートに第四の信号が入力され、ソースが前記第一の電源ノードに接続され、ドレインが出力ノードに接続される第三のPチャンネルMOSトランジスタと、ゲートが前記第一のPチャンネルMOSトランジスタと前記第一のNチャンネルMOSトランジスタの間の接続ノードに接続され、ソースが第二の電源ノードに接続され、ドレインが前記出力ノードに接続される第三のNチャンネルMOSトランジスタとから構成され、前記インバータは、前記接続ノードの電位変化を検出することにより前記メモリセルのデータを判別することを特徴とする不揮発性半導体メモリの読み出し回路。

【請求項17】 前記接続ノードは、センス動作前に、前記インバータの閾値電圧よりも低い電位にプリチャージされることを特徴とする請求項16に記載の不揮発性半導体メモリの読み出し回路。

【請求項18】 請求項9に記載の不揮発性半導体メモリの読み出し回路において、前記少なくとも一つのセンスアンプは、センス回路として機能する第二のインバータを有し、前記第二のインバータは、ゲートに前記第一の信号が入力され、ソースが前記第一の電源ノードに電気的に接続され、ドレインが出力ノードに接続される第三のPチャンネルMOSトランジスタと、ゲートが前記第一のPチャンネルMOSトランジスタと前記第一のNチャンネルMOSトランジスタの間の第二の接続ノードに接続され、ソースが前記第二の電源ノードに接続され、ドレインが前記出力ノードに接続される第四のNチャンネルMOSトランジスタとから構成され、

前記第二のインバータは、前記第二の接続ノードの電位変化を検出することにより前記メモリセルのデータを判別することを特徴とする不揮発性半導体メモリの読み出し回路。

【請求項19】 前記第二の接続ノードは、センス動作前に、前記第二のインバータの閾値電圧よりも低い電位にプリチャージされることを特徴とする請求項18に記載の不揮発性半導体メモリの読み出し回路。

【請求項20】 ビット線のプリチャージ時において、前記第一及び第二の接続ノードは、互いにショートされ、同電位にプリチャージされることを特徴とする請求項19に記載の不揮発性半導体メモリの読み出し回路。

【請求項21】 前記第二及び第三のPチャネルMOSトランジスタのゲートには、前記第二及び第三のPチャネルMOSトランジスタのゲート容量の和よりも大きな容量が接続されていることを特徴とする請求項18に記載の不揮発性半導体メモリの読み出し回路。

【請求項22】 前記第二の信号のレベルは、前記第一の接続ノードの電位に応じて変化することを特徴とする請求項9に記載の不揮発性半導体メモリの読み出し回路。

【請求項23】 前記読み出し制御信号生成回路は、プリチャージ回路を有し、前記プリチャージ回路は、前記レファレンスセルにセル電流が流れている期間を第一の期間とすると、前記第一の期間以外の期間において、前記第二のPチャネルMOSトランジスタと前記第二のNチャネルMOSトランジスタの間の第一の接続ノード及び前記第二のNチャネルMOSトランジスタと前記レファレンスセルの間の第二の接続ノードをそれぞれプリチャージすることを特徴とする請求項1又は2に記載の不揮発性半導体メモリの読み出し回路。

【請求項24】 前記第二の期間における前記第一の接続ノードの電位は、前記第一の期間における前記第一の接続ノードの電位と同じか又はそれよりも低い値に設定され、前記第二の期間における前記第二の接続ノードの電位は、前記第一の期間における前記第二の接続ノードの電位と同じか又はそれよりも低い値に設定されることを特徴とする請求項23に記載の不揮発性半導体メモリの読み出し回路。

【請求項25】 前記少なくとも一つのセンスアンプは、前記第一のNチャネルMOSトランジスタに並列に接続され、かつ、ビット線のプリチャージ時にオン状態となるNチャネルMOSトランジスタを有することを特徴とする請求項1、2及び9のいずれか1項に記載の不揮発性半導体メモリの読み出し回路。

【請求項26】 ビット線のプリチャージ前に、前記ビット線の電位をリセットする回路を有することを特徴とする請求項1、2及び9のいずれか1項に記載の不揮発性半導体メモリの読み出し回路。

【請求項27】 前記ビット線のリセット期間に引き続いて、前記ビット線のプリチャージ期間が設けられ、前記ビット線の選択は、前記ビット線のリセット期間内に行われることを特徴とする請求項26に記載の不揮発性半導体メモリの読み出し回路。

【請求項28】 ビット線のプリチャージ時において、前記第一のNチャネルMOSトランジスタのゲートが前記第一の電源ノードに接続されることを特徴とする請求項19に記載の不揮発性半導体メモリの読み出し回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、不揮発性半導体メモリの読み出し回路に関する。

【0002】

【従来の技術】1. 高速ランダムアクセスが可能な不揮発性半導体メモリの種類

高速ランダムアクセスが可能な不揮発性半導体メモリとしては、EEPROMや、NORセル型フラッシュメモリなどが知られている。近年では、これらと並んで、高速ランダムアクセスを特徴とするメモリとして、NANDセル型フラッシュメモリをベースにした新しいタイプのメモリが考案されている。そのうちの一つに、いわゆる“3Tr-NAND”と呼ばれるメモリがある。

【0003】3Tr-NANDは、1つのセルユニットが、3つのトランジスタ、即ち、1つのメモリセルとこれを挟み込む2つのセレクトトランジスタから構成されるものであり、EEPROM又はフラッシュメモリに比べて、以下に示す特徴を持っている。

(1) 16ビット(=ワード)単位の高速読み出しが可能

(2) 消去単位が32ワード単位と小さい

(3) 読み出し動作が低消費電力で行える

(4) メモリセルの大きさが比較的小さい

具体的には、例えば、3Tr-NANDは、EEPROMに比べて、メモリセルのサイズが小さく、チップサイズの縮小や、製造コストの削減などを達成できる。また、3Tr-NANDは、NORセル型フラッシュメモリに比べて、消費電力が小さく、かつ、消去単位が小さい(3Tr-NANDの詳細については、例えば、特願平11-10676号(1999年1月19日出願)を参照)。

【0004】2. NORセル型フラッシュメモリの読み出し回路

読み出し時のアクセスタイムに関しては、3Tr-NANDとNORセル型フラッシュメモリは、同程度であり、具体的には、共に、約100nsec前後となる。そこで、以下では、従来の読み出し回路として、NORセル型フラッシュメモリの読み出し回路を説明する。

【0005】また、以下の説明をわかり易くするため、メモリセルのデータに関して、次のように定義してお

く。即ち、閾値電圧が正のメモリセルを“0”データを記憶するメモリセル（又は“0”書き込みセル）とし、閾値電圧が負のメモリセルを“1”データを記憶するメモリセル（又は“1”書き込みセル若しくは消去セル）とする。

【0006】なお、メモリセルの閾値電圧は、例えば、フローティングゲート電極を有するスタックゲート構造のメモリセルの場合、フローティングゲート電極中の電子の多寡により決定される。また、フローティングゲート電極中の電子の量は、例えば、F-Nトンネル電流をトンネル絶縁膜に流すことにより制御される。

【0007】2. 1. 回路構成

図19は、NORセル型フラッシュメモリの従来の読み出し回路を示している。この読み出し回路は、レファレンスセルに流れる電流 I_{ref} と選択されたメモリセルに流れる電流とを比較してメモリセルのデータ（“1”又は“0”）を判定するいわゆる double-ended type を有している。

【0008】 S/A_i は、センスアンプ1個分を示している。通常、メモリチップ内には、複数個のセンスアンプが配置される。また、1個のセンスアンプ S/A_i には、カラムゲートを經由して、複数本のビット線 BL_1, \dots, BL_n が接続される。また、読み出し制御信号生成回路は、センスアンプ S/A_i に接続され、かつ、読み出し時に、センスアンプ S/A_i に読み出し制御信号を与える。読み出し制御信号生成回路は、レファレンスセルを含んでいる。

【0009】そして、読み出し時、レファレンスセルのセル電流 I_{ref} は、“1”データを記憶するメモリセル（“1”書き込みセル）に流れるセル電流 I_{cell} にほぼ等しくなるように、設定される。つまり、メモリセルとレファレンスセルが同一構造であると仮定すると、レファレンスセルは、“1”書き込み状態（閾値電圧が負の状態）に設定される。

【0010】選択されたワード線とダミーワード線に読み出し電位（接地電位）が与えられ、レファレンスセルにセル電流 I_{ref} が流れると、カレントミラー回路 MR_1, MR_2 により、RSAノード33（RBL）に流れる電流は、 $I_{ref}/2 (= I_{cell}/2)$ となる。なお、 W は、トランジスタのサイズ（チャネル幅）を表している。

【0011】そして、選択されたメモリセルが“1”データを記憶している場合（“1”書き込みセルの場合）には、SAノード33（BL）には、 I_{cell} が流れるため、SAノード33の電位は、RSAノード33の電位よりも低くなる。

【0012】また、選択されたメモリセルが“0”データを記憶している場合（“0”書き込みセルの場合）には、SAノード33（BL）には、ほとんど電流が流れず、SAノード33の電位は、RSAノード33の電位

よりも高くなる。

【0013】従って、差動増幅器DAを用いて、SAノード33とRSAノード33の間の電位差を検出することにより、選択されたメモリセルのデータ（“1”又は“0”）の判別が可能になる。

【0014】2. 2. 読み出し時の消費電流

NORセル型フラッシュメモリにおいて、例えば、上述したような読み出し回路を用いた場合、読み出し時の消費電流は、主として、以下の三つの電流からなると考えられることができる。

- ・ セル電流 : I_{cell}
- ・ 差動増幅器で生じる電流 : I_{amp}
- ・ 上記以外で生じる電流 : I_{else}

なお、 I_{else} の大半は、読み出し動作に必要な中間電位生成回路の消費電流で占められている。

【0015】16ビット（＝1ワード）単位の読み出しを行う場合について検討する。この場合、読み出し回路は、16セット必要となるため、読み出し時の消費電流の合計値 I_{tot} は、

【数1】

$$I_{tot} = 16 \times \left(\frac{3}{2} I_{cell} + I_{amp} \right) + I_{else}$$

【0016】となる。

【0017】（1）式において、右辺第一項の因子 $3/2$ は、“1”データを記憶するメモリセル（“1”書き込みセル）のセル電流 I_{cell} とレファレンスセルのセル電流 $I_{ref}/2 (= I_{cell}/2)$ の和に基づいている。

【0018】 I_{tot} の値を減らすには、右辺第一項の I_{cell} 若しくは I_{amp} の値、又は右辺第二項の I_{else} の値を減らせばよい。しかし、 I_{tot} に与える影響は、右辺第二項よりも、右辺第一項の方が大きい。このため、右辺第二項、即ち、 I_{else} の値を減らすための工夫をいくら施しても、 I_{tot} の減少に関する効果は、大きくならない。

【0019】従って、 I_{tot} の値を減らすには、右辺第一項の値を減らすことが効果的となる。しかし、右辺第一項のうち、 I_{cell} の値を減少させるのは、非常に困難である。なぜなら、読み出し時におけるビット線の電位（読み出しデータ）のセンス方式を変えことなく、単に、 I_{cell} のみを減らすと、必然的に、読み出し時間が長くなるからである。

【0020】このため、 I_{tot} の値を減らすに当たって、検討の余地があるのは、 I_{amp} のみとなる。

【0021】しかし、 I_{amp} の値は、差動増幅器の増幅に要する時間（＝センス時間）により異なる。つまり、例えば、図19の読み出し回路において、SAノード33とRSAノード33の間の電位差を高速に増幅したい場合には、非常に多くの消費電流が必要となる。仮に、 I_{cell} を、約 $30 \mu A$ 、センス時間を約 $30 n$

secに設定すると、Iampは、およそ50 μ Aと大きな値になる。

【0022】つまり、従来の読み出し回路では、読み出し動作において、センス時間と消費電流がトレードオフの関係にあるため、読み出し速度の高速化と低消費電力化を同時に達成することができない欠点がある。

【0023】

【発明が解決しようとする課題】このように、従来の不揮発性半導体メモリの読み出し回路、例えば、NORセル型フラッシュメモリの読み出し回路では、読み出し速度の高速化と低消費電力化を同時に達成することができない欠点がある。

【0024】また、NORセル型フラッシュメモリ以外の不揮発性半導体メモリにおいても、読み出し速度の高速化と低消費電力化は、重要な課題の一つである。例えば、上述した3Tr-NANDでは、その読み出し回路として、NORセル型フラッシュメモリの読み出し回路をそのまま適用できる。この場合には、3Tr-NANDにおいても、読み出し速度の高速化と低消費電力化を達成する必要がある。

【0025】特に、3Tr-NANDは、非接触型ICカードなどの低消費電力の携帯機器に搭載することを目的として開発されたものであるため、読み出し速度の高速化と低消費電力化は、非常に重要となる。

【0026】本発明は、上記欠点を解決すべくされたもので、その目的は、不揮発性半導体メモリにおいて、消費電流が小さく、かつ、高速読み出しが可能な新規な読み出し回路を提供することにある。

【0027】

【課題を解決するための手段】本発明の不揮発性半導体メモリの読み出し回路は、少なくとも一つのセンスアンプと、第一の信号を前記少なくとも一つのセンスアンプに供給する読み出し制御信号生成回路とを備える。前記少なくとも一つのセンスアンプは、ソースが第一の電源ノードに電気的に接続され、ゲートに前記第一の信号が入力される第一のPチャネルMOSTランジスタと、前記第一のPチャネルMOSTランジスタのドレインとメモリセルとの間に接続され、ゲートに第二の信号が入力されるクランプ用の第一のNチャネルMOSTランジスタとから構成される第一の電流経路を有する。また、前記読み出し制御信号生成回路は、ゲート及びドレインが前記第一のPチャネルMOSTランジスタのゲートに接続され、ソースが前記第一の電源ノードに電気的に接続される第二のPチャネルMOSTランジスタと、前記第二のPチャネルMOSTランジスタのドレインとレファレンスセルとの間に接続され、ゲートに第三の信号が入力される第二のNチャネルMOSTランジスタとから構成される第二の電流経路を有することを特徴の1つとする。

【0028】

【発明の実施の形態】1. 以下、図面を参照しながら、本発明の不揮発性半導体メモリの読み出し回路について詳細に説明する。

【0029】1. 1. 読み出し回路の全体図

図1は、本発明の読み出し回路の全体を示すブロック図である。メモリセルアレイ11は、アレイ状に配置される複数のメモリセルから構成される。本発明では、不揮発性半導体メモリであれば、メモリセルアレイのメモリセルの接続タイプ（例えば、NORセル型、3Tr-NANDなど）は、特に、限定されることはない。但し、説明をわかり易くするため、以下では、メモリセルアレイ11が、3Tr-NANDから構成されているものと仮定して、説明を行うことにする。

【0030】ロウアドレス信号は、入出力バッファ12を経由して、ロウデコード13に入力される。ロウデコード13は、例えば、メモリセルアレイ11のロウ方向の一端に配置される。カラムアドレス信号は、入出力バッファ12を経由して、カラムデコード14に入力される。

【0031】メモリセルアレイ11のカラム方向の一端には、カラムゲート15及びページバッファ16が配置される。カラムデコード14の出力信号は、カラムゲート15に入力される。メモリセルアレイ11のメモリセルは、ページバッファ16及びカラムゲート15を経由して、センスアンプS/A1, ..., S/Ai, ..., S/ANに接続される。

【0032】本例では、メモリチップ（又はチップ内のメモリマクロ）内に、N個のセンスアンプS/A1, ..., S/Ai, ..., S/ANを設けている。N個のセンスアンプS/A1, ..., S/Ai, ..., S/ANは、それぞれデータバスを経由して、入出力バッファ12に接続される。これにより、入出力バッファ12とセンスアンプS/A1, ..., S/Ai, ..., S/ANの間において、Nビットのデータの授受が行える。

【0033】なお、Nの値は、自然数（1, 2, ...）である。即ち、センスアンプS/Aiは、単数であっても、又は複数であってもよい。

【0034】1個のセンスアンプS/Aiは、カラムゲート15及びページバッファ16を経由して、メモリセルアレイ11内の複数本のビット線に接続される。この点については、後に、詳述する。また、本発明の特徴の一つは、N個のセンスアンプS/A1, ..., S/Ai, ..., S/ANの回路構成にある。この点についても、後に、詳述する。

【0035】読み出し制御信号生成回路17は、N個のセンスアンプS/A1, ..., S/Ai, ..., S/ANに接続される。読み出し制御信号生成回路17は、読み出し動作に必要な制御信号INVSRC, SAREFを生成し、かつ、この制御信号INVSRC, SAREFをN個のセンスアンプS/A1, ..., S/Ai, ..., S/

ANに与える。

【0036】読み出し制御信号生成回路17は、INV SRC生成回路18、SAREF生成回路19、VCLAMP生成回路20、SAREFプリチャージ回路21、ダミーカラムゲート22、レファレンスセル23、Vcgref生成回路24及びVs g生成回路25を含んでいる。これら回路の機能、具体例及び動作については、後に、詳述する。

【0037】制御回路26は、本発明の読み出し回路に必要な制御信号BLRST, SAENd, ATD3, ATD3n, SAEN, SAENn, ENを生成する。

【0038】制御信号BLRSTは、ページバッファ16に与えられる。制御信号BLRST, SAENd, ATD3, ATD3nは、センスアンプS/A1, ..., S/Ai, ..., S/ANに与えられる。また、制御信号SAEN, SAENn, ENは、読み出し制御信号生成回路17に与えられる。各制御信号BLRST, SAENd, ATD3, ATD3n, SAEN, SAENn, ENの役割及び動作タイミングについては、後に、詳述する。

【0039】1. 2. メモリセルアレイの構成

本発明の読み出し回路を説明する前に、まず、メモリセルアレイの構成について説明しておくことにする。

【0040】図2は、メモリセルアレイの一例を示している。図3は、メモリセルアレイを構成するセルユニットを示している。本例では、3Tr-NANDを前提とするため、メモリセルアレイ11内のセルユニットは、それぞれ3つのトランジスタ、即ち、1つのメモリセルM2とこれを挟み込む2つのセレクトトランジスタM1, M3とから構成される。

【0041】メモリセルM2は、例えば、フローティングゲート電極とコントロールゲート電極を有するスタックゲート構造を有する。セレクトトランジスタM1, M3は、例えば、スタックゲート構造に類似した構造を有するが、下層のゲートを実際のゲート電極として用いることにより、通常のMOSTランジスタとして機能する。

【0042】セルユニットの一端は、ビット線BL1, ..., BLj, ..., BLmに接続され、その他端は、セルソース線SLに接続される。ビット線BL1, ..., BLj, ..., BLmは、ページバッファ16を経由して、カラムゲート15に接続される。

【0043】ページバッファ16は、ラッチ回路LATCHとリセットトランジスタTr1, ..., Trj, ..., Trmとを有している。ラッチ回路LATCHは、ビット線BL1, ..., BLj, ..., BLmに対応して設けられている。ラッチ回路LATCHは、例えば、書き込み動作において、書き込みデータを一時記憶する機能を有する。

【0044】リセットトランジスタTr1, ..., Tr

j, ..., Trmも、ビット線BL1, ..., BLj, ..., BLmに対応して設けられている。リセットトランジスタTr1, ..., Trj, ..., Trmは、各動作モードにおいて、制御信号BLRSTに基づいて、ビット線BL1, ..., BLj, ..., BLmの電位をリセット（接地電位）する機能を有する。

【0045】セルソース線SLは、シャント線SHを経由して、セルソース線—接地トランジスタに接続される。セルソース線—接地トランジスタは、セルソース線SLを接地電位にする機能を有する。

【0046】シャント線SHは、メモリセルアレイ11内に複数本配置され、かつ、ビット線BL1, ..., BLj, ..., BLmと同様にカラム方向に延びている。シャント線SHは、例えば、k（例えば、32）本のビット線ごとに1本の割合で配置される（mとkは、同じでも又は異なってもよい）。

【0047】読み出し時において、ソース線側の全てのセレクトゲート線SGS1, ..., SGSi, ..., SGS pは、ソース線側のセレクトトランジスタがオン状態になるような電位（例えば、約3.5V）に設定される。また、ビット線側のセレクトゲート線SGD1, ..., SGD i, ..., SGD pのうち、選択されたメモリセルを含むセルユニットに接続されるセレクトゲート線も、セレクトトランジスタがオン状態になるような電位（例えば、約3.5V）に設定される。

【0048】また、例えば、ビット線側のセレクトゲート線SGD1, ..., SGD i, ..., SGD pのうち、選択されたメモリセルを含むセルユニットに接続されないセレクトゲート線は、セレクトトランジスタがオフ状態になるような電位（接地電位）に設定される。

【0049】また、3Tr-NANDの場合、読み出し時において、全てのワード線W1, ..., Wi, ..., Wpは、接地電位に設定される（“0”書き込み状態のメモリセルが正の閾値電圧を有し、“1”書き込み状態のメモリセルが負の閾値電圧を有している場合に限る）。

【0050】1. 3. レファレンスセルの構成
本発明では、選択されたメモリセルのセル電流と、レファレンスセルのセル電流に基づいて生成した基準電流とを比較して、メモリセルのデータを読み出す方法が採用される。そこで、以下では、レファレンスセルについて説明する。

【0051】図4は、レファレンスセルのセルユニットを示している。レファレンスセルのセルユニットは、メモリセルのセルユニット（図3）と同様に、3つのトランジスタ、即ち、1つのレファレンスセルM5と、これを挟み込む2つのセレクトトランジスタM4, M6とから構成される。

【0052】セレクトトランジスタM4, M6のゲートには、セレクトトランジスタM4, M6をオン状態にする電位Vs g（例えば、約3.5V）が恒常的に印加さ

れる。即ち、レファレンスセルM5は、常に、選択された状態になっている。

【0053】レファレンスセルM5は、メモリセルM2と実質的に同じ構造を有している。レファレンスセルM5の特徴は、メモリセルM2とは異なり、フローティングゲート電極とコントロールゲート電極が互いにショートされている点にある。

【0054】レファレンスセルM5のコントロールゲート電位 V_{cgref} は、このレファレンスセルM5が、“1”データを記憶するメモリセル(“1”書き込みセル)に流れるセル電流の値とほぼ同じ値の電流を流すように、厳密に設定される。

【0055】具体的には、次のように設定する。まず、レファレンスセルM5の閾値電圧を、 V_{tref} とし、メモリセルM2のコントロールゲート電位、閾値電圧を、それぞれ V_{cg} 、 V_{tcell} とする。また、メモリセルM2のコントロールゲート電極とフローティングゲート電極の間の容量を $C1$ とし、メモリセルM2のフローティングゲート電極とチャネルの間の容量を $C2$ とする。

【0056】ここで、メモリセルM2のセル電流とレファレンスセルM5のセル電流が等しい場合には、以下の関係式が成り立つ。

【0057】

【数2】

$$V_{cgref} - V_{tref} = \frac{C1}{C1 + C2} (V_{cg} - V_{tcell})$$

【0058】そして、読み出し時においては、 $V_{cg} = 0V$ (接地電位)であり、“1”データを記憶するメモリセル(“1”書き込みセル)の閾値電圧 V_{tcell} は、約-1.5Vである。また、フローティングゲート電極とコントロールゲート電極がショートされたレファレンスセルM5の閾値電圧は、一意的に決まっており、その値は、約0.7Vである。

【0059】従って、メモリセルM2の容量比 $C1/(C1 + C2)$ を、約0.65とすると、上記(2)式より、レファレンスセルのコントロールゲート電位 V_{cgref} は、約1.7Vに設定すればよいことが分かる。なお、レファレンスセルのコントロールゲート電位 V_{cgref} を生成する V_{cgref} 生成回路の具体的構成については、後に、詳述する。

【0060】1.4. 読み出し回路の構成

以下、本発明の読み出し回路の構成について詳細に説明する。

【0061】この説明においては、読み出し回路を構成するトランジスタについて、次のように定義する。

【0062】即ち、 MP_q ($q=1, 2, \dots$)は、PチャネルMOSTランジスタとし、 ML_q ($q=1, 2, \dots$)及び MN_q ($q=1, 2, \dots$)は、NチャネルMOSTランジスタとする。また、 MI_q ($q=1, 2, \dots$)は、M

OSTランジスタ ML_q 、 MN_q に比べて、閾値電圧が低いNチャネルMOSTランジスタとする。つまり、ゲートとソースの間の電位差が0Vのとき、 ML_j 及び MN_j は、カットオフするが、 MI_j は、カットオフしない。

【0063】1.4.1. センスアンプの構成

図5は、センスアンプ(1単位分)の構成を示している。即ち、同図の“S/Ai”は、図1の“S/Ai”に対応している。

【0064】 V_{dd} ノード(V_{dd} は、チップ内で生成される内部電源電位であり、チップの外部から供給される外部電源電位 V_{cc} とは異なる。)とSAノード33の間には、PチャネルMOSTランジスタ $MP1$ 、 $MP6$ が直列接続される。制御信号 $SAREF$ は、MOSTランジスタ $MP1$ のゲートに入力される。また、MOSTランジスタ $MP6$ のゲートは、接地電位に固定される。

【0065】SAノード33と出力ノードOUTの間には、インバータ $INV1$ 、 $INV3$ が直列接続される。インバータ $INV1$ は、 V_{dd} ノードと V_{ss} ノード(V_{ss} は、接地電位)の間に直列接続されるMOSTランジスタ $MP4$ 、 $MN4$ 、 $MN5$ から構成される。

【0066】制御信号 $INVSRC$ は、MOSTランジスタ $MP4$ のゲートに入力され、制御信号 $SAEND$ は、MOSTランジスタ $MN5$ のゲートに入力される。また、SAノード33は、MOSTランジスタ $MN4$ のゲートに接続され、インバータ $INV1$ の出力ノード $N1$ は、インバータ $INV3$ を経由して、センスアンプS/Aiの出力ノードOUTに接続される。

【0067】SAノード33とBLSノード34の間には、MOSTランジスタ $MI1$ 、 $ML2$ が直列接続される。なお、BLSノード34は、カラムゲート15に接続される。MOSTランジスタ $ML1$ は、MOSTランジスタ $MI1$ に並列に接続される。また、BLSノード34には、リセットトランジスタ $ML3$ が接続される。

【0068】制御信号 $LCLAMP$ は、MOSTランジスタ $MI1$ のゲートに入力され、制御信号 $SAEND$ は、MOSTランジスタ $ML2$ のゲートに入力され、制御信号 $BLRST$ は、MOSTランジスタ $ML3$ のゲートに入力され、制御信号 $ATD3$ は、MOSTランジスタ $ML1$ のゲートに入力される。

【0069】また、 V_{dd} ノードとBLSノード34の間には、MOSTランジスタ $MP8$ 、 $MI2$ が直列接続される。制御信号 $LCLAMP$ は、MOSTランジスタ $MI2$ のゲートに入力され、制御信号 $ATD3n$ は、MOSTランジスタ $MP8$ のゲートに入力される。

【0070】また、BLSノード34と V_{ss} ノードの間には、MOSTランジスタ $ML4$ 、 $NN6$ が直列接続される。MOSTランジスタ $ML4$ のゲートは、BLSノード34に接続される。制御信号 $ATD3$ は、MOS

トランジスタMN6のゲートに入力される。

【0071】制御信号LCLAMPは、インバータINV2により生成される。インバータINV2は、V_{dd}ノードとV_{ss}ノードの間に直列接続されるMOSTランジスタMP3、MN3、MN7から構成される。制御信号INVSRCは、MOSTランジスタMP3のゲートに入力され、制御信号SAENdは、MOSTランジスタMN7のゲートに入力される。BLSノード34の電位は、MOSTランジスタMN3のゲートに入力される。

【0072】PチャネルMOSTランジスタMPXは、読み出し履歴に依存しない高速なプリチャージを実現するために設けられる。つまり、このトランジスタMPXは、プリチャージ開始時に、制御信号LCLAMPをV_{dd}に設定する。

【0073】1. 4. 2. 読み出し制御信号生成回路の構成1（中間電位生成回路について）

図6は、読み出し制御信号生成回路の構成を示している。読み出し制御信号生成回路17は、中間電位生成回路、SAREFプリチャージ回路21、ダミーカラムゲート22及びレファレンスセル23を含んでいる。レファレンスセル23については、既に、項目1. 3. において説明した。SAREFプリチャージ回路21及びダミーカラムゲート22については、後述することにし、ここでは、読み出し制御信号生成回路17を構成する上記各要素のうち、中間電位生成回路の具体的な構成について説明する。

【0074】中間電位生成回路は、INVSRC生成回路18、SAREF生成回路19及びVCLAMP生成回路20から構成される。

【0075】＜INVSRC生成回路18＞図6に示すように、INVSRC生成回路18は、V_{dd}ノードとV_{ss}ノードの間に直列接続されるMOSTランジスタMP5、MN2、MN8から構成される（V_{dd}は、チップ内で生成される内部電源電位、V_{ss}は、接地電位である）。

【0076】MOSTランジスタMP5のソースは、V_{dd}ノードに接続され、ゲートとドレインは、互いに接続されている。制御信号BLREFは、MOSTランジスタMN2のゲートに入力され、制御信号（イネーブル信号）ENは、MOSTランジスタMN8のゲートに入力される。

【0077】また、センスアンプS/Aiに供給される制御信号（中間電位）INVSRCは、MOSTランジスタMP5のドレインから出力される。

【0078】なお、MOSTランジスタMP5と、センスアンプS/Ai内のMOSTランジスタMP4（図5参照）とにより、カレントミラー回路が構成され、同様に、MOSTランジスタMP5と、センスアンプS/Ai内のMOSTランジスタMP3（図5参照）とによ

り、カレントミラー回路が構成される。

【0079】ところで、INVSRC生成回路18は、スリープ状態（EN＝“L”）からスタンバイ状態（EN＝“H”）になると、制御信号（中間電位）INVSRCを出力する。また、読み出し時には、INVSRC生成回路18は、スタンバイ状態になっており、INVSRC生成回路18には、電流（消費電流）が常に流れている。

【0080】従って、読み出し時における低消費電力化を達成するためには、INVSRC生成回路18に流れる電流（消費電流）をできるだけ少なくする必要がある（この点は、後述するVCLAMP生成回路20も同じ）。

【0081】しかし、低消費電力化のためにINVSRC生成回路18の消費電流を少なくすると、センスアンプS/Ai内のMOSTランジスタMP3、MP4（図5参照）のゲート容量などの影響により、制御信号（中間電位）INVSRCが振動し易くなる。また、制御信号（中間電位）INVSRCが振動などにより所定値からずれた場合に、これを元に戻すために必要な時間、つまり、制御信号INVSRCが安定するまでの時間が非常に長くなる。

【0082】その結果、読み出しデータを誤ったり、読み出し時間が長くなるなどの問題が生じる。

【0083】そこで、本例では、センスアンプS/Ai内において、制御信号INVSRCが伝わる信号線に、安定化容量C1を接続する（図5参照）。安定化容量C1の容量値は、センスアンプS/Ai内のMOSTランジスタMP3、MP4（図5参照）のゲート容量の容量値の2倍以上であるのがよい。

【0084】これにより、制御信号INVSRCの値が振動し難くなるため、正常な読み出し動作が可能になり、また、制御信号INVSRCの振動による読み出し時間の増大を防止できる。

【0085】＜SAREF生成回路＞図6に示すように、SAREF生成回路19は、V_{dd}ノードとV_{ss}ノードの間に直列接続されるMOSTランジスタMP2、MP7、MI3、ML6から構成される（V_{dd}は、チップ内で生成される内部電源電位、V_{ss}は、接地電位である）。

【0086】制御信号SAENnは、MOSTランジスタMP7のゲートに入力され、制御信号VCLAMPは、MOSTランジスタMI3のゲートに入力され、制御信号SAENは、MOSTランジスタML6のゲートに入力される。MOSTランジスタMP2のゲートとドレインは、互いに接続される。

【0087】また、センスアンプS/Aiに供給される制御信号（中間電位）SAREFは、MOSTランジスタMP2のドレインから出力される。また、MOSTランジスタMP2のドレインには、後述するSAREFプ

リチャージ回路21の出力端子が接続される。

【0088】なお、MOSTランジスタMP2と、センスアンプS/Ai内のMOSTランジスタMP1(図5参照)とにより、カレントミラー回路が構成される。

【0089】ところで、SAREF生成回路19においても、上述したINVSRC生成回路18と同様に、制御信号(中間電位)SAREFの振動を防止し、センスアンプS/Aiにおける読み出し動作の正常化を達成する必要がある。

【0090】制御信号SAREFの振動を防止するには、制御信号SAREFが伝わる信号線に、MOSTランジスタMP1(図5参照)のゲート容量値よりも十分に大きな容量値を有する安定化容量を接続すればよい。安定化容量を接続すれば、制御信号SAREFの振動の振幅が小さくなるため、制御信号SAREFを安定化(振幅を収束)させるまでの時間が短くなる。

【0091】しかし、制御信号SAREFが伝わる信号線に安定化容量を接続すると、当然に、その信号線に寄生する容量値が増大する。このため、その容量値の増加分に比例して、制御信号SAENが“H”となったからSAREFノード32が所定の電位になるまでの時間が長くなる。SAREF生成回路19においては、制御信号SAENが“H”となった後に、制御信号SAREFが出力されることになるため、SAREFノード32が所定の電位になるまでの時間が長くなることは、読み出し時間を長くすることを意味する。

【0092】そこで、制御信号SAREFが伝わる信号線に関しては、安定化容量を接続しない。これに代えて、制御信号SAREFの振動は、SAREF生成回路19の駆動能力を上げることににより防止する。つまり、安定化容量が存在しないと、制御信号SAREFの振動の振幅が大きくなるが、SAREF生成回路19の駆動能力を上げることににより、その振幅を収束させるまでの時間を短くすることができる。

【0093】なお、制御信号INVSRCが伝わる信号線には、安定化容量CP(図5参照)を接続している。これは、INVSRC生成回路18は、制御信号SAENが“H”になる前から動作状態にあるからである。つまり、安定化容量CPによる信号の遅れは、読み出し時に全く問題とならない。

【0094】SAREF生成回路19の駆動能力は、例えば、図7に示すように、レファレンスセル(セルユニット)の数を増やすことにより上げることができる。即ち、レファレンスセルは、例えば、メモリセルと同じ構造及び同じサイズを有しているため、この場合、複数のレファレンスセルを互いに並列接続することにより、レファレンスセルの駆動力を実質的に上げることができる。

【0095】なお、複数のレファレンスセルを並列接続する場合には、MOSTランジスタMP2のサイズを、

レファレンスセルの数に応じて調整する必要がある。レファレンスセルの数がM個の場合には、MOSTランジスタMP2に流れる電流は、 $M \times I_{ref}$ となる。但し、 I_{ref} は、1個のレファレンスセルのセル電流である。

【0096】そして、本例の読み出し回路では、センスアンプS/Ai内のMOSTランジスタMP1(図5参照)に流れる電流を、 $I_{ref}/2$ に設定したいという要求がある。つまり、この要求を達成するためには、MOSTランジスタMP1のチャンネル幅、チャンネル長を、それぞれ W_{p1} 、 L_{p1} と仮定すると、例えば、MOSTランジスタMP2のチャンネル幅 W 、チャンネル長は、それぞれ $2 \times M \times W_{p1}$ 、 L_{p1} に設定すればよい。

【0097】つまり、MOSTランジスタMP1のチャンネル幅が、MOSTランジスタMP2のチャンネル幅の $1/(2 \times M)$ になっているため、カレントミラー回路の原理により、MOSTランジスタMP1には、 $M \times I_{ref}$ (MP2のセル電流)の $1/(2 \times M)$ のセル電流、即ち、 $I_{ref}/2$ が流れることになる。

【0098】レファレンスセルの数Mは、制御信号SAREFが伝わる信号線(SAREFノード32)に接続されるセンスアンプS/Aiの数Nに応じて決定する。即ち、SAREFノード32に接続されるセンスアンプS/Aiの数Nが増えると、ノイズも増えるため、これに応じて、レファレンスセルの数Mも、増やす。

【0099】具体的には、次のようにして、MとNの比を決定する。PチャンネルMOSTランジスタMP1のゲート容量を $CMP1$ とすると、SAREFノード32には、N個のセンスアンプS/Aiが接続されるため、SAREFノード32の容量は、 $N \times CMP1$ となる。

【0100】また、SAREFノード32と他の導電材との間の容量結合の影響によって、SAREFノード32の電位が所定値から ΔV だけずれ、かつ、この ΔV のずれが、セル電流 $M \times I_{ref}$ により、時間(復帰時間) Δt で元の所定値に戻るとすると、電荷の保存則に基づいて、以下の関係式が導ける。

$$N \times CMP1 \times \Delta V = M \times I_{ref} \times \Delta t$$

ここで、例えば、ゲート容量 $CMP1$ は、約100fF、レファレンスセルのセル電流 I_{ref} は、約20 μ Aに設定される。また、この場合に、SAREFプリチャージ時における制御信号SAREFの所定値(基準値)からのずれ ΔV は、約0.1Vとなる。

【0101】そして、このずれ ΔV が、センスアンプS/Aiにおけるセンス時間に影響を与えないために必要な復帰時間 Δt は、シミュレーションから、約2nsec以下であることがわかっている。

【0102】従って、上記関係式によれば、レファレンスセルの数MとセンスアンプS/Aiの数Nの関係を次のように設定することにより、正確かつ高速に読み出し

動作を行うことができることになる。

$$M \geq N/4$$

<VCLAMP生成回路>図6に示すように、VCLAMP生成回路20は、電流源I1とVssノードの間に直列接続されるMOSTランジスタMI4, MN1, MN9から構成される。制御信号(イネーブル信号)ENは、MOSTランジスタMN9のゲートに入力される。

【0103】MOSTランジスタMI4のゲートとドレインは、互いに接続され(ダイオード接続)、その接続点から制御信号(中間電位)VCLAMPが出力される。MOSTランジスタMI4のゲートとドレインの接続点は、MOSTランジスタMI3のゲート及びSAREFプリチャージ回路21に接続される。

【0104】MOSTランジスタMN1のゲートとドレインも、互いに接続される(ダイオード接続)。MOSTランジスタMN1のドレインは、MOSTランジスタMN2のゲート及びSAREFプリチャージ回路21に接続される。制御信号BLREFは、MOSTランジスタMN1のドレインから出力される。

【0105】なお、MOSTランジスタMI3, MI4により、カレントミラー回路が構成され、同様に、MOSTランジスタMN1, MN2により、カレントミラー回路が構成される。

【0106】VCLAMP生成回路20では、定電流源I1とダイオード接続された2つのMOSTランジスタMI4, MN1により、例えば、約1.3Vの制御信号(中間電位)VCLAMPが生成される。また、定電流源I1により、約6 μ Aの電流が生成され、この電流は、BLREFノード36を経由して、INVSRC生成回路18及びSAREFプリチャージ回路21に伝達される。

【0107】つまり、制御信号BLREFは、基準電位として、INVSRC生成回路18及びSAREFプリチャージ回路21に供給される。

【0108】VCLAMP生成回路20内の電流源I1の具体例について説明する。図8は、図6の読み出し制御信号生成回路17内のVCLAMP生成回路20のみを取り出して示している。図9は、VCLAMP生成回路20内の電流源I1の一例を示している。

【0109】MOSTランジスタMPA, MPBは、同一サイズとなるように設定されているため、抵抗Rsと差動増幅器により生成される約6 μ Aの電流Isは、ノードNsにも流れる。

【0110】ここで、電流値Isは、VBGR/Rsにより表すことができる。VBGRは、例えば、約1.23Vであり、その値は、温度依存性を有しない。一方、抵抗Rsの値は、一般に、温度依存性を有している。

【0111】そこで、抵抗Rsとしては、高温において抵抗値が小さくなるような特性を持つ拡散抵抗を使用する。この場合、電流値Isは、温度が高くなるにつれ

て、次第に大きくなる反面、NチャネルMOSTランジスタMI4, MN1, MN9の閾値電圧は、温度が高くなるにつれて、次第に小さくなる。

【0112】つまり、抵抗Rsの抵抗値の変化による電流値のずれとMOSTランジスタMI4, MN1, MN9の閾値電圧の変化による電流値のずれが互いに相殺され、結果として、MOSTランジスタMI4, MN1, MN9に流れる電流値に関しては、温度依存性がなくなる。

【0113】従って、実質的に、温度依存性を有しない制御信号(中間電位)VCLAMP, BLREFを生成することができる。

【0114】1. 4. 3. 読み出し制御信号生成回路の構成2 (SAREFプリチャージ回路について)

図10は、図6の読み出し回路において、SAREFプリチャージ回路21の構成を具体的に示したものである。SAREFプリチャージ回路21は、VddノードとVssノードの間に接続されるMOSTランジスタMP10, MP11, MI5, MN10, MN11, MN12と、ナンド回路NA1とから構成される。

【0115】制御信号EN, SAENは、ナンド回路NA1に入力される。また、ナンド回路NA1の出力信号は、MOSTランジスタMP10のゲートに入力される。MOSTランジスタMP11のゲートとドレインは、互いに接続される。MOSTランジスタMP11のドレインは、SAREFノード32に接続されているため、SAREFプリチャージ回路により、SAREFノード32をプリチャージすることが可能になっている。

【0116】MOSTランジスタMI5のゲートは、VCLAMP生成回路20内のMOSTランジスタMI4のゲートとドレインに接続される。即ち、MOSTランジスタMI4, MI5は、カレントミラー回路を構成している。制御信号VCLAMPは、MOSTランジスタMI5のゲートに入力される。

【0117】制御信号SAENnは、MOSTランジスタMN10, MN11のゲートに入力される。MOSTランジスタMN10, MN11の接続点は、BLSREFノード35に接続される。また、制御信号BLREFは、MOSTランジスタMN12のゲートに入力される。

【0118】1. 4. 4. 読み出し制御信号生成回路の構成3 (Vcgreff生成回路について)

図11は、Vcgreff生成回路の構成を示している。図12は、図11の可変抵抗R3の具体例を示している。なお、図11及び図12に示すVcgreff生成回路は、図1に示す読み出し制御信号生成回路17内のVcgreff生成回路24に相当する。

【0119】レファレンスセルのコントロールゲート電位Vcgreffは、例えば、約1.7Vとなるように設定されるが、レファレンスセルの閾値電圧やカップリン

グ比などは、ウエハプロセスの条件に大きく依存するため、これらの値を事前に正確に見積もるものは非常に困難である。また、メモリセルの閾値電圧分布の測定に関するテストモード（これについては、後述する。）においては、Vcgref生成回路の出力信号Vcgrefの値を変化させることが必要になる。

【0120】従って、Vcgref生成回路に関しては、その出力電位Vcgrefが自由に換えられるように構成しなければならない。例えば、Vcgref生成回路の出力電位Vcgrefを、1.0Vから2.5Vまで、0.1V刻みで換えられるようにする。

【0121】また、コントロールゲート電位Vcgrefが温度依存性を持つと、レファレンスセルに流れるセル電流についても温度依存性を持つようになるため、正確な読み出しが行えなくなり、非常に問題である。そこで、温度依存性を有しないBGR (Band Gap Reference) 回路の出力電位VBGRを用いて、コントロールゲート電位Vcgrefを生成する。

【0122】しかし、BGR回路の出力電位VBGR（例えば、約1.23V）は、1.0Vと2.5Vの間の電位になるため、これをそのまま用いると、Vcgref生成回路の出力電位Vcgrefを、正確に、0.1V刻みで変えるのが困難となる。

【0123】そこで、本例では、出力電位Vcgrefを正確に0.1V刻みで変えることができるように、2つの差動増幅器DA1、DA2によりVcgref生成回路を構成する。

【0124】そして、まず、第一の差動増幅器DA1により、VBGR（=約1.23V）を、1.0V～2.5Vの範囲外の電位、例えば、0.5Vに変換する。また、第二の差動増幅器DA2により、変換された基準電位（0.5V）に基づいてVcgrefを生成する。

【0125】このようにすることで、出力電位Vcgrefは、正確に、0.1V刻みで変えることができるようになる。

【0126】なお、出力電位Vcgrefは、図12に示す可変抵抗の抵抗値を変えることにより変化させることができる。

【0127】1.4.5. 読み出し制御信号生成回路の構成4項目1.4.1. から項目1.4.4. において、読み出し制御信号生成回路の主要部の構成について説明した。

【0128】読み出し制御信号生成回路を構成する要素のうち、まだ、説明していないものは、ダミーカラムゲートとVsg生成回路の2つである。そこで、これら2つの要素について、簡単に、説明しておく。

【0129】ダミーカラムゲートは、メモリセル側の電流経路とレファレンスセル側の電流経路をほぼ同じ（電流経路の抵抗値をほぼ同じ）にするために設けられる。つまり、メモリセル側においては、例えば、図5に示す

ように、ビット線BLjとBLSノード34の間には、MOSTランジスタから構成されるカラムゲート15が接続される。

【0130】そこで、レファレンスセル側においても、例えば、図6に示すように、常に、オン状態の少なくとも1つのMOSTランジスタから構成されるダミーカラムゲート22を設ける。ダミーカラムゲート22は、常にオン状態のMOSTランジスタから構成される点において、カラムデコーダの出力信号によりオン/オフが制御されるMOSTランジスタから構成されるカラムゲートとは異なる。

【0131】Vsg生成回路25（図1参照）は、メモリセル側のセルユニット内のセレクトトランジスタM1、M3（図3、図5参照）のゲートに与える電位Vsgを生成する。読み出し時には、Vsgは、約3.5Vとなる。本例では、Vsg生成回路の出力信号Vsgは、レファレンスセル側のセルユニット内のセレクトトランジスタM5、M6（図4、図6参照）のゲートにも与えられる。

【0132】Vsg生成回路は、例えば、昇圧回路及び昇圧電位制御回路により構成することができる。

【0133】2. 読み出し回路の動作

以下、図1乃至図12において説明した本発明の読み出し回路の動作について説明する。

【0134】2.1. 動作の概略

まず、図5及び図6を参照しつつ、本発明の読み出し回路の動作の概略を説明する。本発明の読み出し回路の主要部は、Vddノードから、PチャネルMOSTランジスタMP1及びメモリセルユニットM1、M2、M3を経由して、Vssノードに至る第一の経路と、Vddノードから、PチャネルMOSTランジスタMP2及びレファレンスセルユニットM4、M5、M6を経由して、Vssノードに至る第二の経路と、2つのMOSTランジスタMP1、MP2のゲートを互いに接続するSAR EFノード32とから構成される。

【0135】なお、説明を簡単にするため、読み出し動作時に使用する各制御信号は、次のような値に設定されているものとする。EN、SAEN、SAENDは、それぞれ“H”、ATD3、BLRSTは、それぞれ“L”。SAENN、ATD3nは、それぞれSAEN、ATD3の反転信号である。また、SGD、SGSは、共に、3.5Vとする。

【0136】このような条件下における読み出し動作では、上述の第二の経路に、レファレンスセル電流Irefが流れる。ここで、上述したように、レファレンスセルユニットに流れる電流Irefの値は、“1”データを記憶するメモリセルのセル電流Icellにほぼ等しくなっている。

【0137】また、2つのMOSTランジスタMP1、MP2は、カレントミラー回路を構成しているため、こ

れらMOSTランジスタMP1, MP2のサイズ(チャネル幅W)の比を調整することにより、上述の第一の経路に流れる電流の値を調整することができる。即ち、本発明では、MOSTランジスタMP1が、 $I_{ref}/2$ の電流を流すように、MOSTランジスタMP1, MP2のサイズの比が決定されている。

【0138】そして、MOSTランジスタMP1とMOSTランジスタMI1の接続点であるSAノード33の電位は、メモリセルM2のデータ、即ち、読み出し時にメモリセルM2にセル電流 I_{cell} が流れるか否かによって決定される。

【0139】例えば、メモリセルM2に記憶されるデータが“1”の場合には、メモリセルM2のコントロールゲート電極(選択されたワード線)Wiに読み出し電位(0V)が与えられると、メモリセルM2がオン状態になり、メモリセルM2にセル電流 I_{cell} が流れる。

【0140】また、上述したように、 $I_{cell}=I_{ref}$ であるため、MOSTランジスタMP1がSAノード33に供給する電流 $I_{ref}/2$ よりもメモリセルM2がSAノード33から引き抜く電流 $I_{cell}(=I_{ref})$ の方が大きくなり、結果として、SAノード33の電位は、下がり、1V以下となる。

【0141】一方、メモリセルM2に記憶されるデータが“0”の場合には、メモリセルM2のコントロールゲート電極(選択されたワード線)Wiに読み出し電位(0V)が与えられると、メモリセルM2がオフ状態になるため、メモリセルM2にセル電流 I_{cell} が流れない。

【0142】この時、SAノード33に対しては、MOSTランジスタMP1から電流の供給のみが行われるため、結果として、SAノード33の電位は、上がり、V_{dd}に到達する。

【0143】従って、このSAノード33の電位変化をインバータINV1で検知することにより、メモリセルM2のデータの識別が可能となる。

【0144】ここで注目すべき点は、本発明では、センスアンプ(1単位分)S/Ai内において、差動増幅器が使われていないということにある。このため、本発明の読み出し回路の消費電流は、従来の読み出し回路(図19)の消費電流に比べて非常に小さくなる。

【0145】本発明の読み出し回路において、センスアンプS/Ai内に差動増幅器を設ける必要がない理由は、“1”データの読み出し時のSAノード33の電位と“0”データの読み出し時のSAノード33の電位との電位差(又は振幅)が、[V_{dd}-1V程度]以上と大きいためである(V_{dd}は、例えば、2.5V以上、3.5V以下)。つまり、SAノード33の電位を、そのままインバータINV1に入力し、メモリセルM2のデータを検知することができる。

【0146】また、本発明の読み出し回路では、上述の

ように、SAノード33の振幅が大きくても、読み出し速度は、従来の読み出し回路(図19)と同程度であるため、読み出し速度を低下させることなく、低消費電力化を達成できることになる。このように、本発明において、読み出し速度が劣化しない理由は、SAノード33がビット線から切り離され、その容量が極めて小さくなっているために、メモリセルM2のデータに応じてSAノード33の電位を変化させるために要する時間が短くなるためである。

【0147】2. 2. 動作タイミング

以下、図13及び図14のタイミング図を参照しつつ、本発明の読み出し回路の動作について詳細に説明する。

【0148】図13は、チップの外部から入力される制御信号及びチップの内部で生成される制御信号のタイミングを表している。チップの外部から入力される制御信号は、アドレス信号Address及びチップイネーブル信号CEである。

【0149】チップイネーブル信号CEが“H”になると、この時点のアドレス信号Addressにより特定されるメモリセルのデータが読み出され、また、チップイネーブル信号CEが“H”の期間中にアドレス信号Addressが変化すると、この変化後の新しいアドレス信号Addressにより特定されるメモリセルのデータが読み出される。

【0150】読み出し動作時において、チップイネーブル信号CEが“H”になると、センスアンプイネーブル信号SAENが“H”になり、また、アドレス信号遷移検出回路(Address Transition Detector)によりATDパルスが生成される。ATDパルスの持続期間(t_{ATD})は、約30nsである(時刻tA)。

【0151】また、ATDパルスは、チップイネーブル信号CEが“H”のときに、アドレス信号Addressが変化した場合にも生成される(時刻tB)。

【0152】また、ATDが“H”の期間のうち、最初の1/3の期間に、ATD2が“H”となり、最後の2/3の期間に、ATD3が“H”となる。そして、SAENd及びBLRSTは、SAEN、ATD、ATD2及びATD3に基づいて、図13に示すようなタイミングで生成される。

【0153】図14は、本発明の読み出し回路の動作を制御する制御信号のタイミングを示している。なお、図14のSAEN、ATD3、SAENd、BLRSTは、図13のSAEN、ATD3、SAENd、BLRSTに対応している。また、SGDは、ビット線側のセレクトトランジスタのゲート電位(セレクトゲートゲート線の電位)である。

【0154】読み出し動作は、主として、SAEN(SAENn)、ATD3(ATD3n)、SAENd、BLRSTにより制御され、4つの期間、即ち、(A)スタンバイ期間、(B)ビット線リセット期間、(C)プ

リチャージ期間、(D) センス期間に区分される。

【0155】なお、図5、図6及び図10に示す読み出し回路においては、上記制御信号の他、イネーブル信号ENを使用している。イネーブル信号ENは、アナログ回路をイネーブルにする信号である。

【0156】例えば、イネーブル信号ENを“L”にすることにより、チップの消費電流を、ほぼ零にすることができる(但し、MOSTランジスタのカットオフリク程度の電流は流れる。)。

【0157】上記(A)～(D)の期間中は、EN=“H”である。以下、各期間ごとの動作を順に説明する。

【0158】2. 2. 1. スタンバイ期間

図14の期間(A)は、スタンバイ期間である。スタンバイ期間とは、読み出し動作を実行する前の待機期間のことである。

【0159】INVSRC生成回路18、VCLAMP生成回路20及びSAREFプリチャージ回路21(図6及び図10を参照)並びにVcgref生成回路24(図1及び図11を参照)は、スタンバイ期間においても動作状態にある。即ち、VCLAMP生成回路20では、ENが“H”であり、制御信号VCLAMP、BLREFが生成される。また、Vcgref生成回路24では、ENNが“L”であり、制御信号Vcgrefが生成される。さらに、INVSRC回路18では、制御信号INVSRCが生成される。

【0160】スタンバイ期間中においては、SAENが“L”であるため、PチャネルMOSTランジスタMP2からレファレンスセル23に至る経路(図6及び図10を参照)は、電気的に切断されている。その一方、SAREFプリチャージ回路21(図6及び図10を参照)は、動作状態となっているため、SAREFノード32及びBLSREFノード35は、それぞれプリチャージされている。

【0161】各ノードのプリチャージレベル(電位)は、SAENが“H”になったときのSAREFノード32の電位及びBLSREFノード35の電位とほぼ等しくなるように設定される。

【0162】このように、スタンバイ期間において、予め、SAREFノード32及びBLSREFノード35をプリチャージしておく理由は、実際の読み出し動作時に、SAREFノード32の電位及びBLSREFノード35の電位が確定するまでの時間を短くし、読み出し速度を上げるためである。

【0163】即ち、このようなプリチャージ動作を行わない場合には、SAENが“H”になってからSAREFノード32及びBLSREFノード35の電位がそれぞれ確定するまでの時間が非常に長くなり、結果として、読み出し時間が長くなる。

【0164】特に、SAREFノード32は、センスア

ンプS/Ai内のMOSTランジスタMP1のゲートに接続されるため、チップ内にn個のセンスアンプS/A1, ..., S/Ai, ..., S/A・nが配置される場合、SAREFノード32には、n個のMOSTランジスタのゲートが接続されることになり、結果として、SAREFノード32に生じる寄生容量が非常に大きくなる。

【0165】従って、高速読み出しを達成するためには、スタンバイ期間において予めSAREFノード32をプリチャージしておき、読み出し動作時におけるSAREFノード32の電位の確定を短時間で済ませることが必要となる。

【0166】ところで、SAREFプリチャージ回路21(図10参照)は、動作状態において貫通電流を流すため、SAREFプリチャージ回路21により予めSAREFノード32をプリチャージしておくということは、スタンバイ期間におけるスタンバイ電流(消費電流)を増加させることになる。

【0167】しかし、この点については、次に示すような対策により解決することが可能である。即ち、NチャネルMOSTランジスタMN12(図10参照)のサイズを小さくすることにより、スタンバイ電流を小さくすることができる。また、この時、SAREFノード32のプリチャージレベルは、MOSTランジスタMP1, MI5のサイズにより調整することができる。

【0168】また、スタンバイ時におけるSAREFノード32のプリチャージレベルを、読み出し時(SAEN=“H”)におけるSAREFノード32のレベルと完全に等しくすることが難しい場合には、SAREFノード32のプリチャージレベルを、読み出し時におけるSAREFノード32のレベルよりも、若干、低めに設定すればよい。

【0169】このようにしておくと、SAENが“H”となった瞬間に、大きな駆動力を有するPチャネルMOSTランジスタMP2がオン状態になっているため、SAREFノード32がMOSTランジスタMP2を介して急速に充電され、速やかに、読み出し時におけるSAREFノード32の電位が確定する。

【0170】なお、SAREFノード32のプリチャージレベルを、読み出し時におけるSAREFノード32のレベルよりも、若干、高めに設定する場合には、当初、大きな駆動力を有するPチャネルMOSTランジスタMP2は、オフ状態であり、SAREFノード32の電荷は、小さな駆動力のレファレンスセルを介して放電されることになるため、読み出し時におけるSAREFノード32の電位の確定は、遅くなる。

【0171】2. 2. 2. ビット線リセット期間

図14の期間(B)は、ビット線リセット期間である。

【0172】ビット線リセット期間においては、BLRSTが“H”となり、MOSTランジスタML3, Trjがオン状態になる(図5参照)。その結果、ビット線

BLj及びBLSノード34は、それぞれ接地電位(0V)にリセットされる。ビット線BLj及びBLSノード34をそれぞれ接地(リセット)する理由は、繰り返して読み出しを行う場合に、前回の読み出し動作の履歴を無くすためである。

【0173】ここで、図2を参照しつつ、ビット線のリセットの必要性について、ビット線をリセットをしない場合の不具合という観点から説明する。

【0174】メモリセルMC1, MC2, MC3, MC4, MC5, MC6のデータを、それぞれ“0”とし、メモリセルMC7, MC8, MC9のデータを、それぞれ“1”とし、メモリセルMC3→MC5→MC7の順に、データを読み出す場合について考える。

【0175】まず、メモリセルMC3, MC5に対するデータ読み出し動作においては、ビット線BLn, BLjは、それぞれ約1Vにプリチャージされる。また、メモリセルMC3, MC5のデータは、“0”であるため、ビット線BLn, BLjのプリチャージ後の読み出し時に、メモリセル(選択セル)MC3, MC5は、オフ状態となる。このため、データ読み出しが終了した後においても、ビット線BLn, BLjは、約1Vの電位を維持する。

【0176】ここで、本例では、ビット線BLn, BLjの電位をリセットする(接地電位にする)ことを前提としていないため、ビット線BLn, BLjの電位が約1Vの状態、かつ、ビット線BLn, BLjがフローティングの状態(ビット線BLn, BLjに対応するカラムゲートはオフ状態のため)、次のメモリセルMC7に対するデータ読み出しが実行される。

【0177】メモリセルMC7に対するデータ読み出し動作では、セレクトゲート線SGDp, SGS pが共に約3.5Vに設定される。そこで、セレクトゲート線SGDp, SGS pを、それぞれ0Vから約3.5Vに上げると、セレクトゲート線SGDp, SGS pに接続されるセレクトトランジスタは、全てオン状態となる。また、選択されたワード線Wpに、0Vを与えると、非選択セルMC8, MC9は、“1”状態であるため、ワード線Wpに接続される非選択セルMC8, MC9も、オン状態になる。

【0178】この時、ビット線BLn, BLjに貯まっていた電荷は、非選択セルMC8, MC9を経由して、ソース線SLに放出される。その結果、セルソース線SLやシャント線SHの抵抗による電圧降下のために、選択されたメモリセルMC7のソース電位が、0Vよりも高くなる場合がある。このような現象は、ワード線Wpに接続され、かつ、“1”データを記憶するメモリセルの数が多ければ多いほど、顕著に発生する。

【0179】そして、選択されたメモリセルMC7のソース電位が0Vよりも高くなると、メモリセルMC7に流れる電流は、ソース電位が0VのときにメモリセルM

C7に流れる電流よりも減るため、SAノード33(図5参照)の電位が十分に下がらず、結果として、メモリセルMC7のデータは、“1”であるにもかかわらず、“0”と判断してしまう場合がある。

【0180】本発明では、このような読み出し履歴に依存した誤読み出しをなくすために、読み出し動作の最初において、全てのビット線の電位をリセットする(接地電位にする)ようにしている。

【0181】また、ビット線リセット期間がないと、以下に述べるように、電力が無駄に消費することになる。

【0182】即ち、カラムゲート15(図2参照)は、アドレス信号に基づいてビット線の選択を行う。従って、アドレス信号が変化すると、選択されるビット線も変化する。ここで、アドレス信号の変化を受けて、ビット線の再選択を行うには、配線遅延やロジック遅延の影響により、一定の時間が必ず必要になる。

【0183】仮に、ビット線リセット期間(B)を設けないとすると、スタンバイ状態(期間A)の後、直ちに、ビット線のプリチャージ(期間C)が行われることになる。つまり、SAENが“H”になると同時に、ビット線のプリチャージを開始すると、カラムゲートにおいて、選択されたビット線が確定しないうちに、ビット線のプリチャージが行われることになる。

【0184】従って、SAENが“H”になった後、カラムゲートにおいて、選択されたビット線が確定するまでの間は、前回のアドレス信号により選択されたビット線が選択されており、今回、選択すべきビット線とは無関係のビット線がプリチャージされることになり、結果として、電力が無駄に消費される。

【0185】そこで、本発明では、ビット線リセット期間(B)を設けている。このビット線リセット期間(B)を、SAENが“H”になった後、カラムゲートにおいて、選択されたビット線(選択されたカラム)が確定するまでの期間よりも長く設定しておけば、無駄な電力を消費することなくなる。

【0186】2.2.3. ビット線プリチャージ期間
図14の期間(C)は、ビット線プリチャージ期間である。

【0187】ビット線プリチャージ期間では、ATD3が“H”となるため、MOSTランジスタMP8, MN6がオン状態となる。また、INVSRCノード31は、予め、充電されているため(スタンバイ期間)、制御信号BLSの電位に応じて、制御信号LCLAMPの電位が変化する。制御信号BLSの電位がほぼ0Vのときは、制御信号LCLAMPは、ほぼVddであり、MOSTランジスタMI2は、オン状態となる。

【0188】従って、VddノードからMOSTランジスタMI2(図5参照)を経由して、ビット線BLj(BLSノード34)に電流が流れ込み、ビット線BLjのプリチャージが行われる。

【0189】また、この時、MOSTランジスタML1も、オン状態となるため、SAノード33とBLSノード34が互いにショートされ、BLSノード34の充電と共にSAノード33も充電される（正確には、SAノード33は、MOSTランジスタMP1からの電荷の供給によりVddとなっているため、Vddからプリチャージレベルに低下する。）。

【0190】ビット線プリチャージ期間において、SAノード33とBLSノード34を互いにショートする理由は、SAノード33及びBLSノード34のプリチャージレベルを、同じ値、かつ、インバータINV1の閾値電圧Vsenseよりも低い値に設定するためである。そして、この時、インバータINV1の出力電位（N1ノードの電位）は、“H”となる。

【0191】つまり、低消費電力化のため、インバータINV1内のMOSTランジスタMP4は、6 μ A程度の小さな電流しか流さないため、N1ノードを“L”にしておくと、N1ノードを“L”から“H”に変化させるために要する時間が非常に長くなる。

【0192】そこで、本発明では、インバータINV1の出力電位（N1ノードの電位）を、予め“H”に設定しておき、高速読み出しに貢献している。

【0193】また、MOSTランジスタMI2、インバータINV2及びINVSRC回路18からなる経路（図5及び図6を参照）は、ビット線プリチャージレベルを適正な値に保つ役割を果たしている。

【0194】以下、この経路の動作について説明する（図5及び図6参照）。MOSTランジスタMP3（図5のインバータINV2内）及びMOSTランジスタMP5（図6のINVSRC生成回路18内）は、互いにサイズ（チャンネル長L及びチャンネル幅W）が等しく、また、MOSTランジスタMN2（図6のINVSRC生成回路18内）及びMOSTランジスタMN3（図5のインバータINV2内）も、互いにサイズ（チャンネル長L及びチャンネル幅W）が等しくなるように設定されている。従って、インバータINV2とINVSRC回路18は、全体で、一つの差動増幅器を構成しているとみなすことができる。

【0195】この差動増幅器の入力信号は、制御信号BLSと制御信号BLREFであり、出力信号は、制御信号LCLAMPである。ビット線BLjのプリチャージが始まった時点では、制御信号BLSは、0V、制御信号LCLAMPは、Vddであるため、ビット線BLjは、MOSTランジスタMP8、MI2を介して高速にプリチャージされる。

【0196】また、ビット線BLjのプリチャージにより、制御信号BLS（ビット線の電位）が制御信号BLREF（参照電位）よりも高くなると、今度は、制御信号LCLAMPは、Vddから0V近くまで下がるため、MOSTランジスタMI2からビット線への電荷の

注入が抑制される。

【0197】また、同時に、MOSTランジスタML4がオン状態となるため、ビット線BLjに蓄えられた過剰な電荷は、MOSTランジスタML4を経由して、Vssノードに放出される。

【0198】このようにして、ビット線BLj（BLSノード34及びSAノード33）は、制御信号BLREFとほぼ等しい電位（プリチャージレベル）に適正にプリチャージされる（BLS=SA=BLREF）。

【0199】なお、MOSTランジスタMI2、ML4のサイズは、 $I_{cell} = I_{ref} / 2$ のときに、ビット線プリチャージ期間中、制御信号VCLAMP及び制御信号LCLAMPの電位が等しくなるように設定する。

【0200】そのためには、図5のMOSTランジスタMI2、ML4及び図6のMOSTランジスタMI4、MN1に関して、

$$(WMI2/LMI2) / (WML4/LML4) = (WMI4/LMI4) / (WMN1/LMN1)$$

の関係を有するように設定することが必要である。

【0201】但し、WMI2、LMI2は、それぞれMOSTランジスタMI2のチャンネル幅、チャンネル長を示し、WML4、LML4は、それぞれMOSTランジスタML4のチャンネル幅、チャンネル長を示し、WMI4、LMI4は、それぞれMOSTランジスタMI4のチャンネル幅、チャンネル長を示し、WMN1、LMN1は、それぞれMOSTランジスタMN1のチャンネル幅、チャンネル長を示している。

【0202】このような関係に、図5のMOSTランジスタMI2、ML4及び図6のMOSTランジスタMI4、MN1のチャンネル幅及びチャンネル長を決めておけば、後述するセンス動作が速やかに行える。

【0203】2.2.4. センス期間

図14の期間(D)は、センス期間である。

【0204】ビット線のプリチャージが終了した時点では、制御信号BLSと制御信号BLREFは、互いにほぼ等しく（1V程度又はそれ以下の電位。但し、零を除く。）、また、制御信号LCLAMPは、制御信号VCLAMPにほぼ等しくなっている（1.3V程度又はそれ以下の電位。但し、零を除く。）。

【0205】制御信号VCLAMPと制御信号BLREFの差（約0.3V）は、MOSTランジスタMI4の閾値電圧程度となっている。従って、MOSTランジスタMI1は、実質的にカットオフした状態となっている（図5及び図6を参照）。

【0206】この状態において、ATD3が“L”となり、MOSTランジスタML1がオフ状態になると、SAノード33の電位は、MOSTランジスタMP1に流れる電流Iref/2と、メモリセルM2のセル電流Icellとにより決定されることになる。

【0207】メモリセルM2のデータが“0”の場合、即ち、選択されたワード線Wiに0Vを与えたときにメモリセルM2にセル電流I_{cell}が流れない場合には、BLSノード34は、既に、プリチャージされ、電荷の逃げ場がない状態になっているため、MOSTランジスタMP1からSAノード33に供給された電荷は、全て、SAノード33に充電される。

【0208】ここで、SAノード33の容量は、ビット線BLjの容量に比べて非常に小さい。つまり、メモリセルM2のデータが“0”の場合、SAノード33は、急速にチャージされ、V_{dd}となる。

【0209】このように、本発明では、ビット線BLj (BLSノード34) は、既に、プリチャージされているため、メモリセルM2のデータが“0”の場合、SAノード33は、急速にチャージされる。そして、後述するように、インバータINV1の閾値電圧(データ“0”, “1”の判定値) V_{sense}は、SAノード33のプリチャージレベルよりも高い電位(例えば、約1.3V)に設定されるため、SAノード33が急速にV_{dd}になるということは、高速読み出しが可能になることを意味する。

【0210】一方、メモリセルM2のデータが“1”の場合、即ち、選択されたワード線Wiに0Vを与えたときにメモリセルM2にセル電流I_{cell}が流れる場合には、セル電流I_{cell} (=I_{ref}) は、MOSTランジスタMP1に流れる電流I_{ref}/2よりも大きい。ため、SAノード33の電位は、プリチャージレベル(1V程度又はそれ以下の電位。零を除く。)より上がることはなく、徐々に、V_{ss} (0V) に向って降下する。

【0211】なお、メモリセルM2のデータが“1”の場合には、SAノード33の電位は、緩やかに降下するが、インバータINV1の閾値電圧V_{sense}は、SAノード33のプリチャージレベルよりも高い電位(例えば、約1.3V)に設定されているため、高速センスに不都合はない。

【0212】ところで、センス期間において、インバータINV2 (図5参照) は、動作状態にある。つまり、本発明では、センス期間において、インバータINV2は、SAノード33の電位変化を加速する役割を果たしている。

【0213】即ち、メモリセルM2のデータが“0”のときは、インバータINV2により制御信号LCLAMPの値を低下させる。その結果、MOSTランジスタMI1のカットオフが完全になり、SAノード33の電位の上昇が加速される。

【0214】また、メモリセルM2のデータが“1”のときは、インバータINV2により制御信号LCLAMPの値を上昇させる。その結果、小さな容量を有するSAノード33の電荷は、MOSTランジスタMI1を経

由して、大きな容量を有するBLSノード34に流れ易くなり、SAノード33の電位は、BLSノード34と同じ電位を保ちつつ、次第に、低下していく。

【0215】インバータINV1 (図5参照) は、SAノード33の電位変化、即ち、SAノード33の電位が“H”であるか、又は“L”であるかを検知する。インバータINV1の閾値電圧V_{sense}は、SAノード33のプリチャージレベル(1V程度又はそれ以下の電位。但し、零を除く。)よりも大きな値、例えば、1.3V程度に設定する。

【0216】その理由は、上述したように、本発明では、SAノード33の充電(チャージ)が高速に行えるため、V_{sense}を上述のように設定することで、SAノード33の“H”/“L”の判定を高速に行えるからである。

【0217】なお、インバータINV1の閾値電圧V_{sense}は、MOSTランジスタMN4のサイズにより調整することができる。

【0218】インバータINV1内のMOSTランジスタMP4のゲートは、SAノード33に接続することなく、INVSRCノード31に接続する(図5参照)。その理由は、MOSTランジスタMP4のゲートをSAノード33に接続すると、インバータINV1の閾値電圧V_{sense}がV_{dd}に大きく依存してしまうためである。

【0219】そこで、インバータINV1の閾値電圧V_{sense}がV_{dd}に依存しなくなるように、MOSTランジスタMP4のゲートは、INVSRCノード31に接続する。そして、インバータINV1の閾値電圧V_{sense}は、VCLAMP生成回路20の電流源I1と、MOSTランジスタMN4に流れる電流とにより決定されるようにする。

【0220】また、図5及び図6において、MOSTランジスタMP3, MP4, MP5は、互いにサイズが等しく、MOSTランジスタMN1, MN2も、互いにサイズが等しい。このため、インバータINV1, INV2に流れる電流は、共に、VCLAMP生成回路20内の電流源I1により生成される電流(例えば、約6 μ A)に等しくなる。

【0221】従って、本発明の読み出し回路によれば、データのセンス時(センス期間)において、一つのセンスアンプS/Ai内で消費される消費電流(I_{cell}は除く)は、インバータINV1, INV2に流れる電流の合計値(約12 μ A)となる。

【0222】この値は、従来の読み出し回路(図19参照)内の一つのセンスアンプ内の差動増幅器で消費される消費電流(約50 μ A)の1/4以下である。つまり、本発明によれば、高速読み出しと共に、低消費電力にも貢献できる。

【0223】なお、インバータINV1内のMOSTラ

ンジスタMP4には、上述のように、低消費電力化のため、 $6\mu\text{A}$ 程度の電流しか流さないようにしている。このため、N1ノードの電位を、チャージし、“H”レベルにするには、非常に長い時間がかかる。

【0224】そこで、上述したように、プリチャージ期間(C)においては、SAノード33の電位を、インバータINV1の閾値電圧 V_{sense} 以下の電位(1V程度又はそれ以下の電位。但し、零を除く。)に設定している。つまり、N1ノードの電位は、予め、“H”レベルに設定されており、メモリセルM2のデータが“0”のときに、N1ノードの電位をディスチャージし、“L”レベルにする。

【0225】なお、図6のMOSTランジスタMI3、MI4のサイズは、 $I_{\text{cell}} = I_{\text{ref}} / 2$ のときに、センス期間中、制御信号VCLAMP及び制御信号LCLAMPの電位が等しくなるように設定する。

【0226】そのためには、図6のMOSTランジスタMI3、MI4に関して、 $(W_{\text{MI3}}/L_{\text{MI3}})/I_{\text{ref}} = (W_{\text{MI4}}/L_{\text{MI4}})/I_{\text{SRC}}$

の関係有するように設定することが必要である。

【0227】但し、 W_{MI3} 、 L_{MI3} は、それぞれMOSTランジスタMI3のチャネル幅、チャネル長を示し、 W_{MI4} 、 L_{MI4} は、それぞれMOSTランジスタMI4のチャネル幅、チャネル長を示し、 I_{SRC} は、電流源I1により生成される電流(約 $6\mu\text{A}$)を示している。

【0228】上述したように、ビット線プリチャージ期間中も、制御信号VCLAMP及び制御信号LCLAMPの電位が等しくなるように、各トランジスタのサイズが調整されている。このため、プリチャージ期間からセンス期間に移行する際、制御信号LCLAMPの電位が急激に変化することなく、スムーズに移行するため、センス動作が速やかに行えるようになる。

【0229】2. 2. 5. まとめ以上、本発明の読み出し回路の動作について詳細に説明した。ここで、本発明の読み出し動作の特徴をまとめると、以下のようになる(図5、図6及び図10を参照)。

【0230】[低消費電力化に関して]

① SAノード33の電位変化が大きいため、差動増幅器でビット線の電位変化を検出する必要がなくなり、消費電流を大幅に減少できる。

② インバータINV1、INV2に流れる電流は、微小($6\mu\text{A}$ 程度)であり、読み出し時の消費電流が非常に小さい。

③ ビット線リセット期間内に、選択されたビット線を確定できるため、ビット線のプリチャージ時に、無駄な電流を消費することがない。

【0231】[読み出しの高速化に関して]

① スタンバイ期間に、予め、INVSRCノード31

が充電されるため、ビット線(BLSノード34及びSAノード33)のプリチャージが高速化される。

② SAノード33の容量は、ビット線の容量に比べて非常に小さく、かつ、ビット線は、プリチャージされているため、“0”読み出し時に、SAノード33を高速にチャージできる。

③ スタンバイ期間に、予め、SAREFノード32が充電されるため、“0”読み出し時に、SAノード33を高速にチャージできる。

④ 制御信号BLSがプリチャージレベルのとき、制御信号LCLAMPは、ほぼ0Vとなり、MOSTランジスタMI1が完全にカットオフになるため、SAノード33のチャージが加速される。

⑤ V_{sense} がビット線のプリチャージレベルよりも大きいため、②乃至④より、SAノード33の電位変化を高速にセンスできる。

⑥ N1ノードは、予め、Vddに充電されるため、MOSTランジスタMP4のサイズが小さくても、データの判別が高速に行える。

【0232】[その他]

① 定電流回路(VCLAMP生成回路20及びINVSRC生成回路)の採用により、インバータ(センス回路)INV1、INV2に関しては、Vdd依存性がなくなる。

② ビット線の電位をリセットするシーケンスを追加したため、読み出し履歴による誤読み出しを防止できる。

【0233】③ ビット線プリチャージ時に、制御信号BLSがプリチャージレベル未満のときは、制御信号LCLAMPは、ほぼVddとなり、制御信号BLSがプリチャージレベルを超えると、制御信号LCLAMPは、ほぼ0V、かつ、MOSTランジスタML4がオン状態となるため、正確に、制御信号BLS及びSAの電位をプリチャージレベルに設定できる。

【0234】3. 読み出し回路の変形例

本発明の読み出し回路の主要部の基本構成は、図5、図6及び図10に示したが、これに限られず、当然に、本発明の要旨を変更しない範囲において、種々の変形が可能である。以下、特に、実施可能性が高く、重要と思われる変形例について説明する。

【0235】3. 1. 変形例1

図15及び図16は、本発明の読み出し回路の主要部を示している。この読み出し回路の特徴は、図5及び図6の読み出し回路と比べると、ビット線BLjのプリチャージ時及びセンス時に使用するプリチャージ回路の構成にある。

【0236】即ち、本例では、センスアンプS/Ai内に、図5に示すようなインバータINV2が存在しない。具体的には、VCLAMPノード37が、直接、MOSTランジスタMI1、MI2のゲートに接続されている。

【0237】この場合、ATD3が“H”になると（ビット線プリチャージ期間）、MOSTランジスタMI2⁻からビット線BLj（BLSノード34及びSAノード33）に電荷が供給され、プリチャージが実行される。プリチャージレベルは、Vdd、ダイオード接続されたMOSTランジスタML4などにより決定される。

【0238】本例の読み出し回路では、MOSTランジスタMI2⁻のゲートは、常に、一定電位を保っているため、プリチャージ時間を、図5及び図6に示す読み出し回路と同程度にするためには、MOSTランジスタMI2⁻のサイズ（チャネル幅W）を大きくする必要がある。

【0239】なお、図5及び図6の読み出し回路と比べた場合における本例の読み出し回路のメリットは、読み出し時の消費電流が、図5に示すインバータINV2で消費する分だけ低減される、という点にある。

【0240】3. 2. 変形例2

図17は、本発明の読み出し回路の主要部を示している。この読み出し回路の特徴は、図5及び図6の読み出し回路と比べると、SAREF生成回路19内のMOSTランジスタMI3のゲート電位を、図5のインバータINV2と同様の機構により生成している点にある。即ち、インバータINV4は、図5のインバータINV2に対応し、また、充電回路（MOSTランジスタMP13、MI6、ML5、MN15）は、図5のプリチャージ回路（MOSTランジスタMP8、MI2、ML4、MN6）に対応している。

【0241】なお、センスアンプS/Ai内の構成は、図5に示すセンスアンプS/Aiと同じである。

【0242】このような構成にすると、MOSTランジスタMI1（図5参照）のゲート電位を生成する回路とMOSTランジスタMI3のゲート電位を生成する回路が、全く同一の構成となるため、いわゆる回路の対称性がよくなり、メモリセルM2のセル電流とレファレンスセルM5のレファレンスセル電流の比較が正確に行えるようになる。

【0243】3. 3. 本プリチャージ方式の他の読み出し回路への適用例

本発明の読み出し回路に使用されるプリチャージ方式は、センスアンプに差動増幅器を用いない本発明の読み出し回路とは切り離して、それ自体、新規な構成及び顕著な効果を有するものであり、当然に、本発明の読み出し回路とは別の読み出し回路にも適用することができる。

【0244】即ち、図5及び図6の読み出し回路を例にとれば、INVSRC回路18、インバータINV2及びプリチャージ回路（MOSTランジスタMP8、MI2、ML4、MN6）の部分のみで、プリチャージ方式に関する1つの発明として成立するものである。

【0245】このプリチャージ方式の特徴は、上述した

ように、① 予め、INVSRCノード31を充電しておくことによるプリチャージの高速化、② プリチャージレベル（BLSノード34の電位）を、Vddに依存することなく、制御信号BLREFに正確に設定できる点にある。

【0246】図18は、従来の読み出し回路（図19）に本プリチャージ方式を適用した場合の例を示している。この例では、本発明のプリチャージ方式を用いて、BLノードとRBLノードをプリチャージすることになる。

【0247】INVSRC生成回路18は、図6のINVSRC生成回路18と全く同一である。制御信号BLREFは、図6のVCLAMP生成回路20により生成される中間電位である。インバータINV5、INV6は、図5のインバータ回路INV2と全く同一である。プリチャージ回路（MOSTランジスタMP22、MN23-MN25及びMOSTランジスタMP24、MN29-MN31）は、図5のプリチャージ回路（MOSTランジスタMP8、MI2、ML4、MN6）に対応している。

【0248】INVSRCノード31は、スタンバイ期間に、予め、充電される。この後、ビット線プリチャージ期間になると、SAENが“H”、ATDが“H”となり、BLノード及びRBLノードをプリチャージするためのプリチャージ動作が実行される。プリチャージ動作は、図5及び図6の読み出し回路におけるビット線プリチャージ動作と全く同一である。

【0249】簡単に説明すると、プリチャージ時、MOSTランジスタMN23、MN26、MN29、MN32も、オン状態になるため、BL（RBL）ノード及びSA（RSA）ノードは、共に、プリチャージレベルまで充電される。BL（RBL）ノード及びSA（RSA）ノードの電位がプリチャージレベルを超えると、MOSTランジスタMN23、MN26、MN29、MN32がオフ状態になり、かつ、MOSTランジスタMN24、30により、BL（RBL）ノード及びSA（RSA）ノードの過剰な電荷がディスチャージされる。

【0250】これにより、BL（RBL）ノード及びSA（RSA）ノードの電位が、正確に、BLREFノード36の電位に等しい値に設定される。つまり、制御信号BLREF（参照電位）の値を調整することにより、プリチャージレベルを自在に設定できることになる。

【0251】この後、センス期間になると、SAENが“H”、ATDが“L”となり、センス動作が開始される。

【0252】なお、レファレンスセルの閾値電圧は、“1”書き込みセルの閾値電圧と同じであるため、レファレンスセルには、セル電流Iref（=Icell）が流れ、かつ、カレントミラー回路により、MOSTランジスタMN34には、Iref/2が流れる。

【0253】一方、メモリセルのデータが“0”の場合には、セル電流 I_{cell} ($=I_{ref}$) は、流れることがないため、SAノード33の電位は、RSAノード33の電位よりも高くなる。また、メモリセルのデータが“1”の場合には、メモリセルにセル電流 I_{cell} ($=I_{ref}$) が流れるため、SAノード33の電位は、RSAノード33の電位よりも低くなる。

【0254】そして、差動増幅器DAにより、SAノード33の電位とRSAノード33の電位の電位差を増幅し、かつ、メモリセルのデータを検知する。

【0255】このように、本ブリチャージ方式は、従来の読み出し回路に適用することも可能である。

【0256】3. 4. その他

上述したように、本発明は、読み出し回路又はそれを構成するブリチャージ回路に特徴を有するものである。また、 V_{cgreff} 生成回路やVCLAMP生成回路などに関しても、本発明の読み出し回路以外の回路に適用することも可能である。また、本発明の読み出し回路の説明においては、3Tr-NANDを前提としたが、当然に、EEPROMや、NORセル型フラッシュメモリなどの不揮発性半導体メモリに、本発明を適用することも可能である。

【0257】4. 閾値電圧測定モード

メモリセルの書き込み、消去条件を最適化したり、データ保持能力などの信頼性に関するデータを取得するためには、書き込み/消去後のメモリセルの閾値電圧分布を測定するテストモードが必要になる。

【0258】本読み出し方式は、このような閾値電圧測定モードにおけるメモリセルの閾値電圧の測定に適用することも可能である。

【0259】以下、本発明の閾値電圧測定方式について説明する。まず、セル電流 I_{cell} は、ワード線の電圧とメモリセルの閾値電圧の差に比例すると仮定する。

【数3】

$$I_{cell} \propto V_{cg} - V_{tcell}$$

【0260】また、センス期間を十分に長くすれば、この“発明の詳細な説明”の最初において説明した上記

(2)式から、図5のSAノード33の電位は、

【数4】

$$V_{tcell} > V_{cg} - \frac{1}{2} \frac{C_1 + C_2}{C_1} (V_{cgreff} - V_{tref})$$

【0261】の場合に、“H”となり、

【0262】

【数5】

$$V_{tcell} < V_{cg} - \frac{1}{2} \frac{C_1 + C_2}{C_1} (V_{cgreff} - V_{tref})$$

【0263】の場合に“L”となる。

【0264】但し、 V_{tref} は、レファレンスセルM5の閾値電圧、 V_{cg} は、メモリセルM2のコントロー

ルゲート電位、 V_{tcell} は、メモリセルM2の閾値電圧、 C_1 は、メモリセルM2のコントロールゲート電極とフローティングゲート電極の間の容量、 C_2 は、メモリセルM2のフローティングゲート電極とチャネルの間の容量を C_2 である。

【0265】ここで、上記(4)式及び上記(5)式中の“1/2”の因子は、図5のMOSTランジスタMP1、MP2に流れる電流の比が1:2であることに由来している。また、上記(4)式及び上記(5)式の右辺の値は、メモリセルのコントロールゲート電位 V_{cg} 及びレファレンスセルのコントロールゲート電位 V_{cgreff} の値により変化する。つまり、これらコントロールゲート電位 V_{cg} 、 V_{cgreff} の値を変えながら、SAノード33のレベル(“H”又は“L”)を検出し、かつ、SAノード33における“H”/“L”の切替ポイントを見出せば、その切替ポイントをメモリセルの閾値電圧 V_{tref} としてモニタできる。

【0266】具体例として、正/負の閾値電圧をモニタする場合について説明する。

【0267】・ 正の閾値電圧をモニタする場合

例えば、書き込み(“0”書き込み)後にメモリセルの閾値電圧をモニタする場合は、正の閾値電圧をモニタする場合である。この場合、レファレンスセルのコントロールゲート電位 V_{cgreff} は、通常読み出し時の値と同じ値に設定しておき、メモリセルのコントロールゲート電位 V_{cg} の値を、0Vから徐々に上げてゆく。すると、あるポイントを境に、SAノード33の電位レベルが“H”から“L”に切り替わる。この切替ポイントの V_{cg} の値を、上記(2)式に代入すれば、メモリセルの閾値電圧 V_{tcell} を求めることができる。

【0268】また、メモリセルのコントロールゲート電位 V_{cg} の値を自由に切り替えるために、例えば、ワード線に接続されるテスト用の外部パッドから、メモリセルのコントロールゲート電位 V_{cg} として、零又は正の電位を与える。また、正の閾値電圧をモニタするテストモードにおいては、ワード線を接地する経路を遮断しておく。

【0269】・ 負の閾値電圧をモニタする場合

例えば、消去後にメモリセルの閾値電圧をモニタする場合は、負の閾値電圧をモニタする場合である。この場合、メモリセルのコントロールゲート電位 V_{cg} の値は、0Vに固定しておき、レファレンスセルのコントロールゲート電位 V_{cgreff} の値を、通常読み出し時の値から徐々に上げてゆく。すると、あるポイントを境に、SAノード33の電位レベルが“L”から“H”に切り替わる。この切替ポイントの V_{cgreff} の値を、上記(2)式に代入すれば、メモリセルの閾値電圧 V_{tcell} を求めることができる。

【0270】また、レファレンスセルのコントロールゲート電位 V_{cgreff} の値を自由に切り替えるために、

例えば、Vcgrefノードに接続されるテスト用の外部パッドから、レファレンスセルのコントロールゲート電位Vcgrefとして、零又は正の電位を与える。また、このテストモードにおけるレファレンスセルのコントロールゲート電位Vcgrefは、Vcgref生成回路のトリミング機能を使うことにより変化させるようにしてもよい。

【0271】このような手法を用いれば、メモリセルの閾値電圧Vtcellが、現在、どのような状態にあるかを、正の高い閾値電圧から負の低い閾値電圧までの範囲で、正確に測定することができる。また、正負の境目付近(0V近傍)にある閾値電圧についても、上記2つのモニタ方法のいずれか一方を用いることにより、正確に測定できる。

【0272】また、メモリセルの閾値電圧のモニタに関しては、上記2つのモニタ方法に限られず、例えば、上記2つのモニタ方法において、メモリセルのコントロールゲート電位Vcg及びレファレンスセルのコントロールゲート電位Vcgrefを、初期電位から徐々に下げていくようにしてもよい。また、メモリセルのコントロールゲート電位Vcg及びレファレンスセルのコントロールゲート電位Vcgrefの双方を、変化させて、メモリセルの閾値電圧をモニタしてもよい。

【0273】なお、NORセル型フラッシュメモリでは、通常、メモリセルとビット線の間にセレクトトランジスタが接続されず、メモリセルが、直接、ビット線に接続される。この場合、メモリセルの閾値電圧をモニタするに当たっては、上記“負の閾値電圧をモニタする場合”で説明した方法は、採用できない。

【0274】なぜなら、負の閾値電圧をモニタする場合、全てのワード線が0Vに設定される(つまり、Vcg=0V)。この場合、3Tr-NANDでは、セレクトトランジスタにより、ビット線に接続させるメモリセル(選択セル)を一つに特定できるが、NORセル型フラッシュメモリでは、セレクトトランジスタを有しないため、全てのメモリセルが選択された状態になってしまうからである。

【0275】これを回避するには、例えば、選択されたワード線に0Vを与え、非選択のワード線に、メモリセルが常にオフ状態になる負の電位を与えればよいが、その負の電位を生成する回路が必要になる。

【0276】なお、NORセル型フラッシュメモリでは、書き込み(“1”書き込み)状態及び消去状態(“0”書き込み状態)を、共に、正の閾値電圧に設定すれば、正の閾値電圧をモニタすれば足りるため、負の閾値電圧をモニタする必要性はあまりないと考えることができる。

【0277】

【発明の効果】以上、説明したように、本発明の不揮発性半導体メモリによれば、次のような効果を奏する(図

5、図6及び図11参照)。

【0278】① 読み出し時の消費電流を低減できる。即ち、本発明では、SAノード33の電位変化が大きい。ため、差動増幅器でビット線の電位変化を検出する必要がなくなり、消費電流を大幅に減少できる。また、インバータINV1、INV2に流れる電流は、微小(6 μ A程度)であり、読み出し時の消費電流が非常に小さくなる。さらに、ビット線リセット期間内に、選択されたビット線を確定できるため、ビット線のプリチャージ時に、無駄な電流を消費することがない。

【0279】② 読み出し速度を高速化できる。即ち、スタンバイ期間に、予め、INVSRCノード31が充電されるため、ビット線(BLSノード34及びSAノード33)のプリチャージが高速化される。また、SAノード33の容量は、ビット線の容量に比べて非常に小さく、かつ、ビット線は、プリチャージされているため、“0”読み出し時に、SAノード33を高速にチャージできる。さらに、スタンバイ期間に、予め、SAREFノード32が充電されるため、“0”読み出し時に、SAノード33を高速にチャージできる。

【0280】また、制御信号BLSがプリチャージレベルのとき、制御信号LCLAMPは、ほぼ0Vとなり、MOSTランジスタMI1が完全にカットオフになるため、SAノード33のチャージが加速される。また、Vsenseがビット線のプリチャージレベルよりも大きいため、SAノード33の電位変化を高速にセンスできる。さらに、N1ノードは、予め、Vddに充電されるため、MOSTランジスタMP4のサイズが小さくても、データの判別が高速に行える。

【0281】③ 定電流回路(VCLAMP生成回路20及びINVSRC生成回路)の採用により、インバータ(センス回路)INV1、INV2に関しては、Vdd依存性がなくなる。

【0282】④ ビット線の電位をリセットするシーケンスを追加したため、読み出し履歴による誤読み出しを防止できる。

【0283】⑤ ビット線プリチャージ時に、制御信号BLSがプリチャージレベル未満のときは、制御信号LCLAMPは、ほぼVddとなり、制御信号BLSがプリチャージレベルを超えると、制御信号LCLAMPは、ほぼ0V、かつ、MOSTランジスタML4がオン状態となるため、正確に、制御信号BLS及びSAの電位をプリチャージレベルに設定できる。

【図面の簡単な説明】

【図1】本発明の読み出し回路の全体構成を示す図。

【図2】メモリセルアレイの構成の一例を示す図。

【図3】メモリセルユニットを示す図。

【図4】レファレンスセルユニットを示す図。

【図5】センスアンプの構成を示す図。

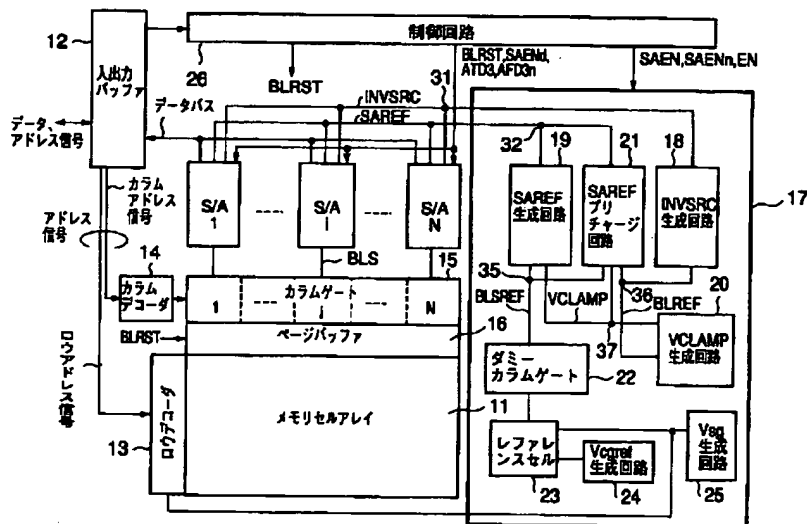
【図6】読み出し制御信号生成回路の構成を示す図。

【図 7】レファレンスセルユニットの変形例を示す図。
 【図 8】VCLAMP 生成回路の構成を示す図。
 【図 9】VCLAMP 生成回路内の電流源の構成を示す図。
 【図 10】SAREF プリチャージ回路の構成を示す図。
 【図 11】Vc g r e f 生成回路の構成を示す図。
 【図 12】Vc g r e f 生成回路内の可変抵抗の構成を示す図。
 【図 13】本発明の読み出し回路の動作タイミングを示す波形図。
 【図 14】本発明の読み出し回路の動作タイミングを示す波形図。
 【図 15】センスアンプの他の例を示す図。
 【図 16】読み出し制御信号生成回路の他の例を示す図。
 【図 17】読み出し制御信号生成回路の他の例を示す図。
 【図 18】本発明の読み出し回路の他の例を示す図。
 【図 19】従来の読み出し回路の構成を示す図。
 【符号の説明】

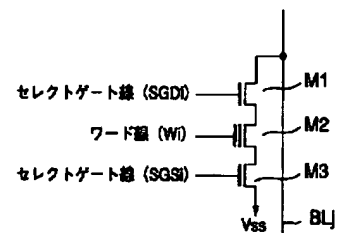
1 1	: メモリセルアレイ、
1 2	: 入出力バッファ、
1 3	: ロウデコーダ、
1 4	: カラムデコーダ、
1 5	: カラムゲート、
1 6	: ページバッファ、

17	: 読み出し制御信号生
成回路、	
18	: INV SRC生成回
路、	
19	: SAREF生成回
路、	
20	: VCLAMP生成回
路、	
21	: SAREFアプリチャ
ージ回路、	
22	: ダミーカラムゲー
ト、	
23	: レファレンスセル、
24	: Vcgreff生成回
路、	
25	: Vs g生成回路、
26	: 制御回路、
MP1, ...MP27	: PチャネルMOST
ランジスタ、	
ML1, ...ML6, MN1, ...MN36	: Nチャネル
MOSTランジスタ、	
MI1, ...MI6	: NチャネルMOST
ランジスタ、	
M1, M3, M4, M6	: セレクトトランジスタ、
タ、	
M2, M5, MC1, ...MC9	: メモリセル、
DA, DA1, DA2	: 差動増幅器。

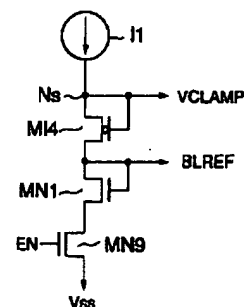
【図1】



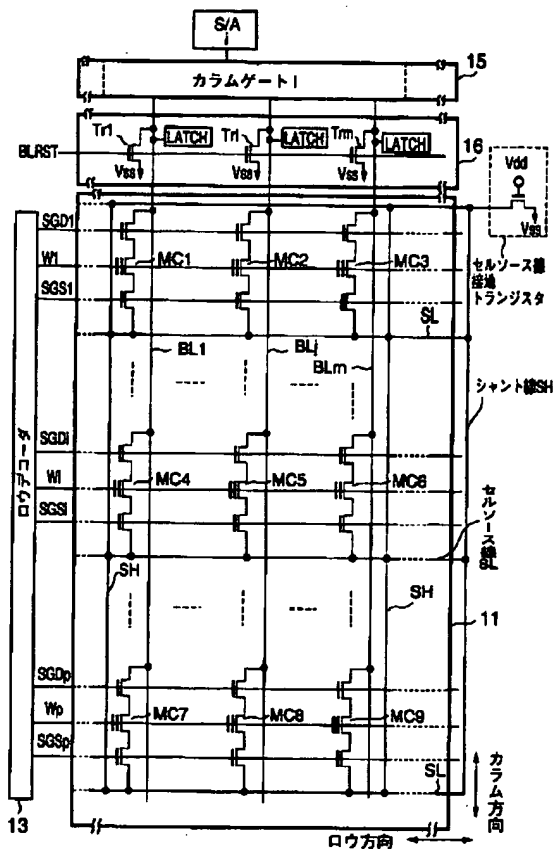
【図3】



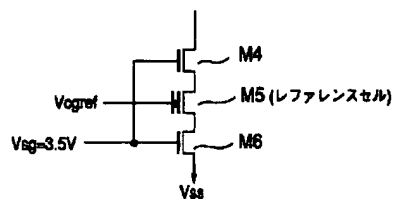
【図8】



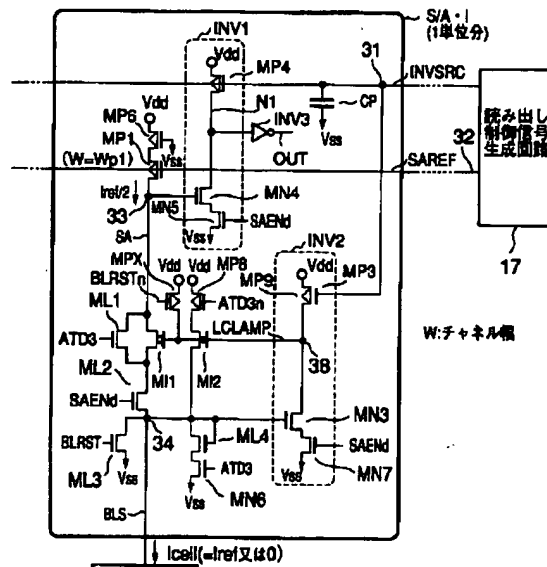
【図2】



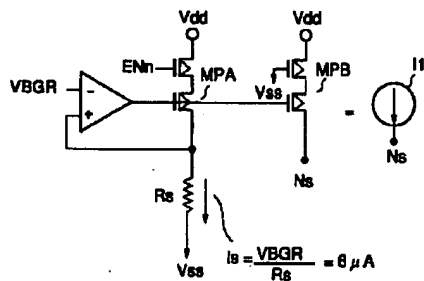
【図4】



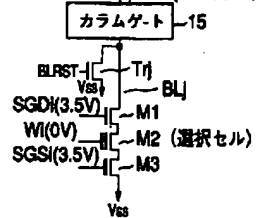
【図5】



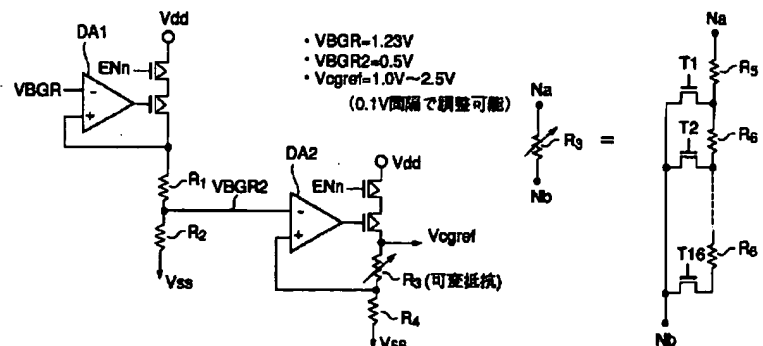
【図9】



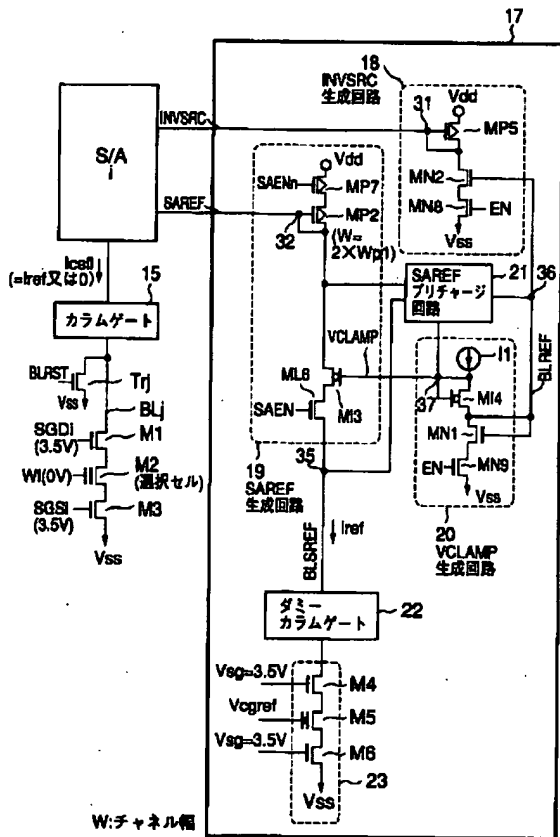
【図11】



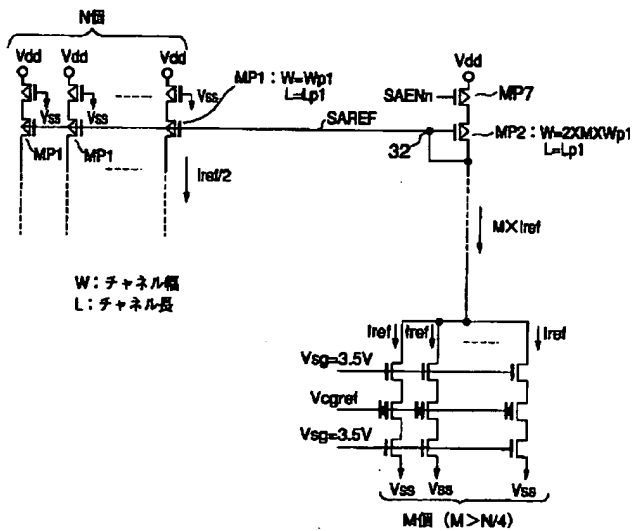
【図12】



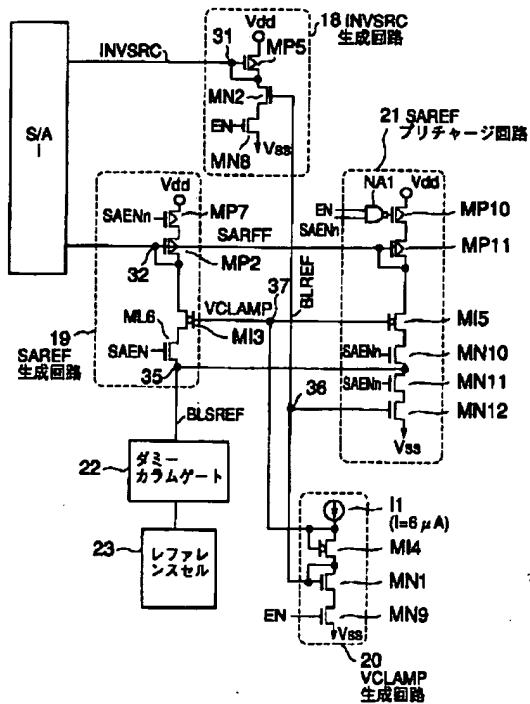
【図6】



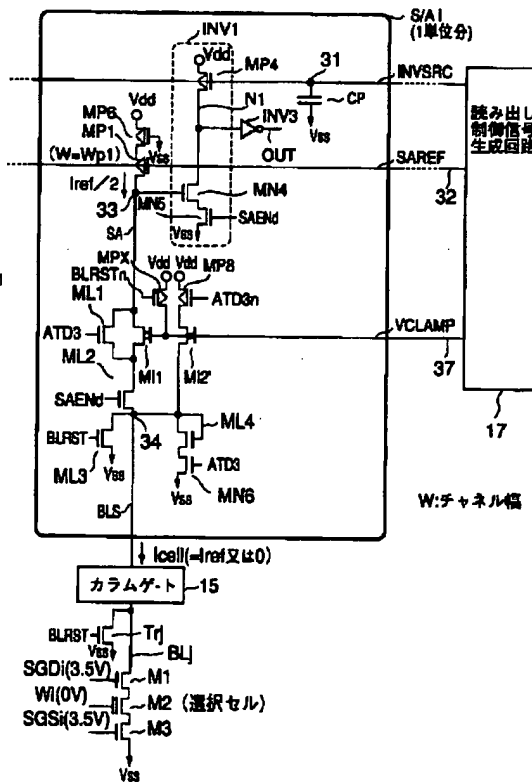
【図7】



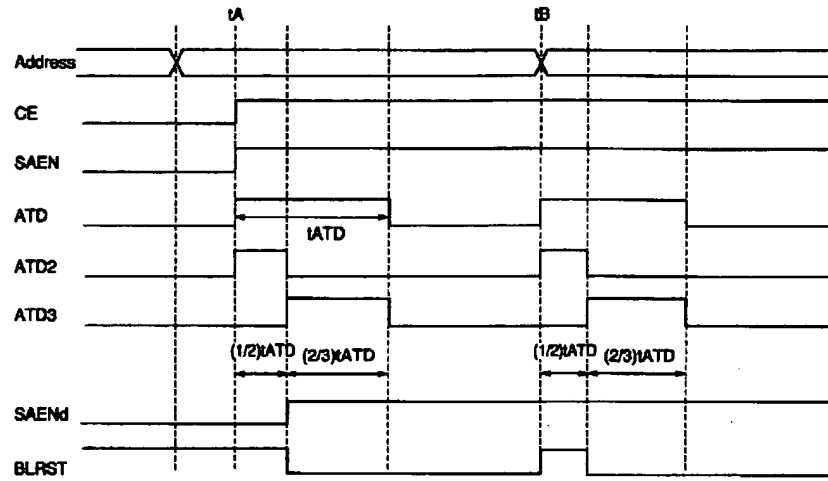
【図10】



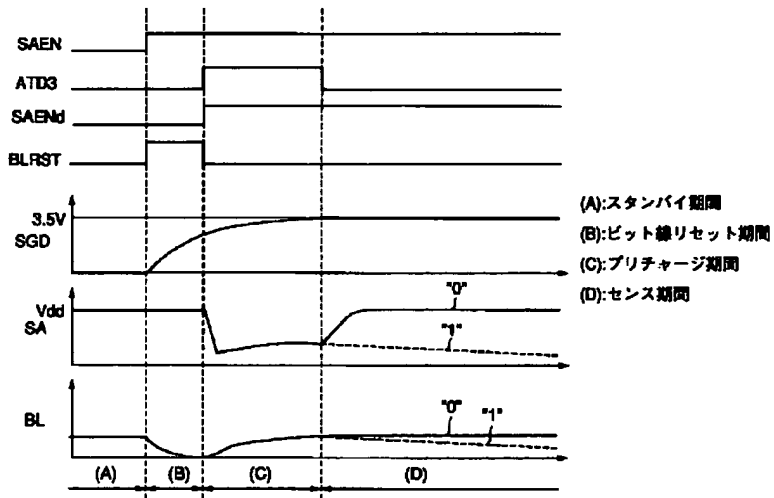
【図15】



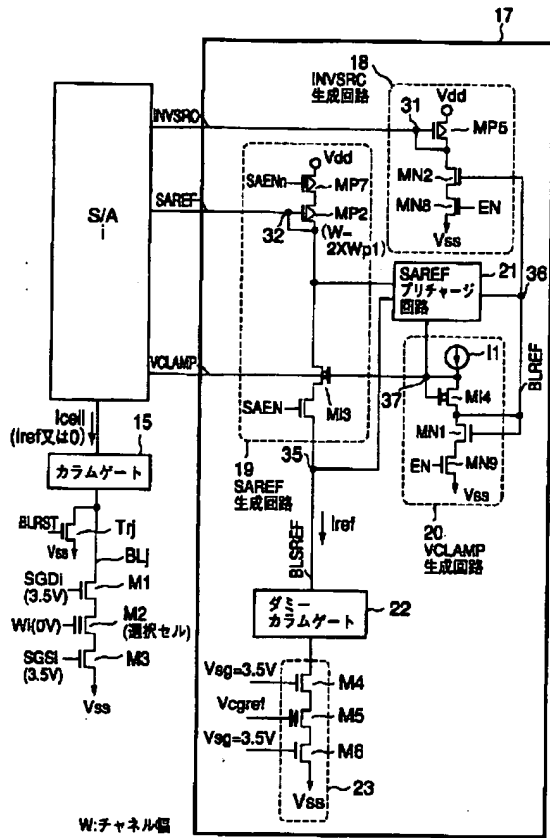
【図13】



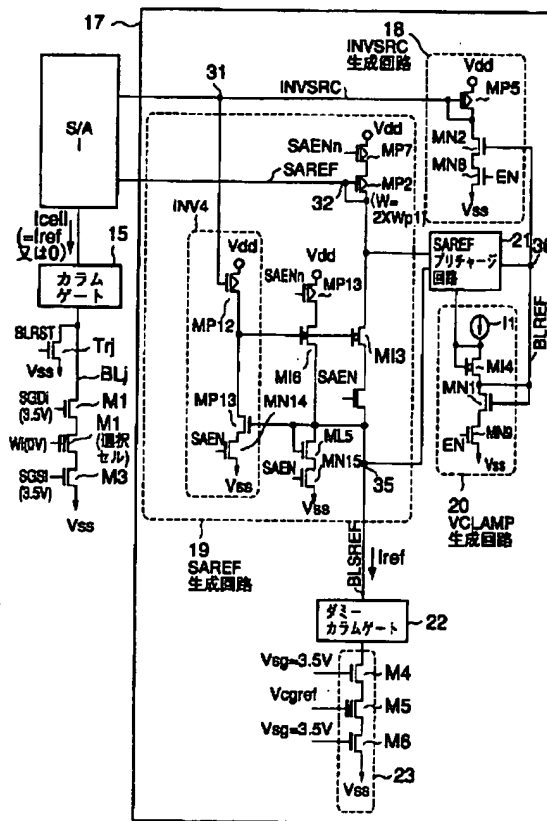
【図14】



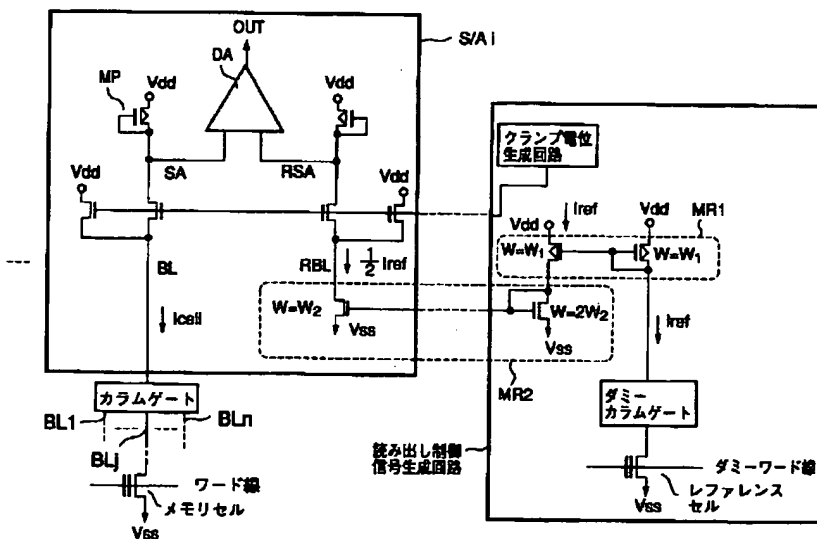
【図16】

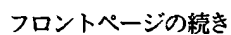


【図17】



【图 19】





Fターム(参考) 5B025 AA03 AD06 AD07 AE05 AE06